

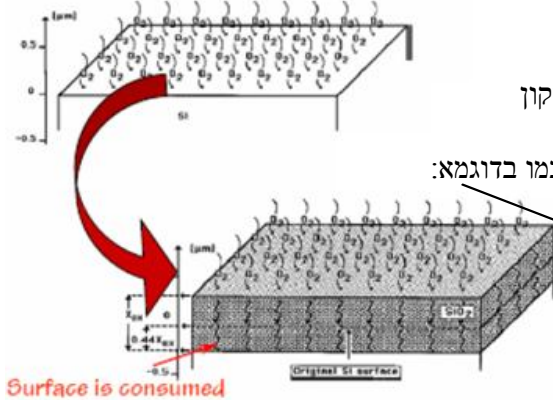
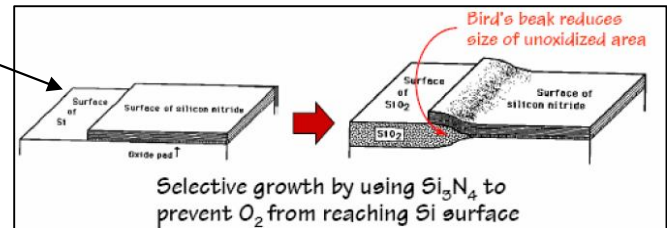
מעגלים משולבים מבוא ל-VLSI – נקודות עיקריות

מבוסס על הרצאותיו של אדוארדו מעיין

שלבים בתהליכי ייצור מעגלים משולבים

1. גידול תחמוצת (חימצון)

בעבר היה שימוש נרחב בתחמוצת כתחמוצת שער או כבידוד בין התקנים. בטמפרטורה מסוימת נוצרת ריאקציה בין אטומי החמצן לאטומי הסיליקון ונוצרת שכבת תחמוצת טבעית SiO_2 . ניתן להשתמש בחומר מונע חימצון (Si_3N_4) אם רוצים לחמצן רק חלק מהפיסה, כמו בדוגמא:



כיום כבר כמעט ולא משתמשים בחמצון.

2. פוטוליתוגרפיה (הסרת איזורי תחמוצת ע"י הקרנת קרני UV)

ע"מ להסיר חלקים לא רצויים של התחמוצת מהפיסה מקרינים אותה בתהליך הבא:

א. שיטוח של פוטורזיסט (חומר רגיש לאור)

ב. חשיפה של הפוטורזיסט דרך מסכה כדי לא לחשוף את כל החומר (המסכה מכילה את התמונה שאמורה להופיע על השבב)

ג. פיתוח הפוטורזיסט

ד. הסרת הפוטורזיסט ע"י איכול (שלב 5)

3. דיפוזיה או השתלת יונים (סימון עד שינוי סוג הסיליקון)

השתלת יונים: לאחר שהפוטוליתוגרפיה יצרה פתח, ניתן להשתיל יונים דרכו. פעולה זו נעשית ע"י החדרת יון מזהם אל פני השטח וחימום (הרפיה) שיוצר את המבנה הגבישי.

דיפוזיה (תהליך חילופי להשתלת יונים): נעשית גם ע"י זיהום וחימום אך היא דורשת חום גבוה יותר ולכן פוגעת בפני השטח, בנוסף היא גם פחות מדוייקת (פחות שליטה על מרחק הדיפוזיה) לכן בד"כ משתמשים בהשתלת יונים (בדיפוזיה משתמשים כשדיוק פרופיל סימון לא קריטי)

4. שיטוח מתכת

הכנסת מתכת השער (או הפולסיליקון) על ההתקן (ניתן להשתמש שוב בפוטוליתוגרפיה ע"מ להסיר חלקים לא רצויים מהמתכת)

5. איכול (ETCHING) של הפוטורזיסט

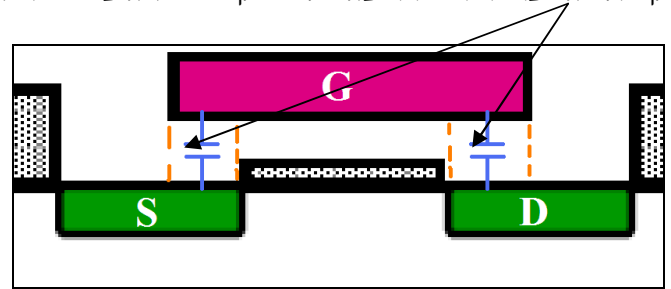
השלב האחרון הוא הסרת הפוטורזיסט מהפרוסה ניתן לעשות זאת ע"י א. איכול רטוב: טבילת הפרוסה באמבט חומצה (המאכלת את חומר הפוטורזיסט הספציפי)

ב. איכול יבש: חשיפת הפרוסה לאלומת יונים המאכלת את הרזיסט. איכול יבש מדוייק יותר, אך איטי יותר ומשאיר פני שטח פחות חלקים מהאיכול הרטוב לכן נהוג לטבול את הפרוסה באמבט אחרי האיכול היבש.



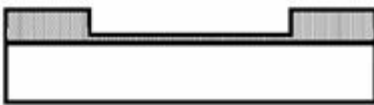
ייצור SELF ALIGNED

בעיה בתהליך הייצור הקודם הוא שהוא לא לוקח בחשבון את רוחב השער וכך נוצר מצב שבייצור טרנזיסטור, השער רחב מדי וקיימים איזוריהפיפה בין שער הפוליסיליקון לדיפוזיות, דבר היוצר קיבולי שער פרזיטיים (Cgs,Cgd). קיבולי השער יוצרים תופעה של "פיק" ביציאה עם שינוי המתח

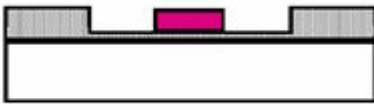


לכן, בייצור SELF ALIGNED קודם שמים את השער ואח"כ משתילים את הדיפוזיות. שלבי הייצור הם:

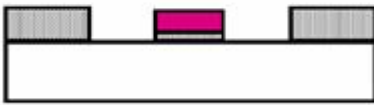
א. ייצור תחמוצת (דקה באיזור ה-ACTIVE) עבה בשאר האיזורים (לבידוד)



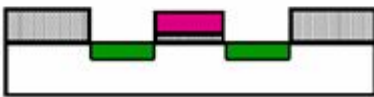
ב. הנחת הפוליסיליקון על השער הייעודי.



ג. איכול התחמוצת הדקה באיזורי ה-S וה-D.



ד. השתלת יונים באיזורי ה-S וה-D.



הערה: תהליך ייצור SELF ALIGNED פותר חלקית את בעיית קיבולי השער, לא ניתן לאפס לגמרי את Cgd, פתרון נוסף לבעיה הוא שיקוף אחורה ע"י ירידה מהירה זאת ניתן להשיג ע"י תכנון המעגל כך שמסלול ה-PULL DOWN (הפריקה) יעבוד מהר ואז השפעת ה"פיק" תיפחת.

תהליך ייצור MODERN CMOS N-WELL (במקרה של P-WELL פשוט להפוך הכל)

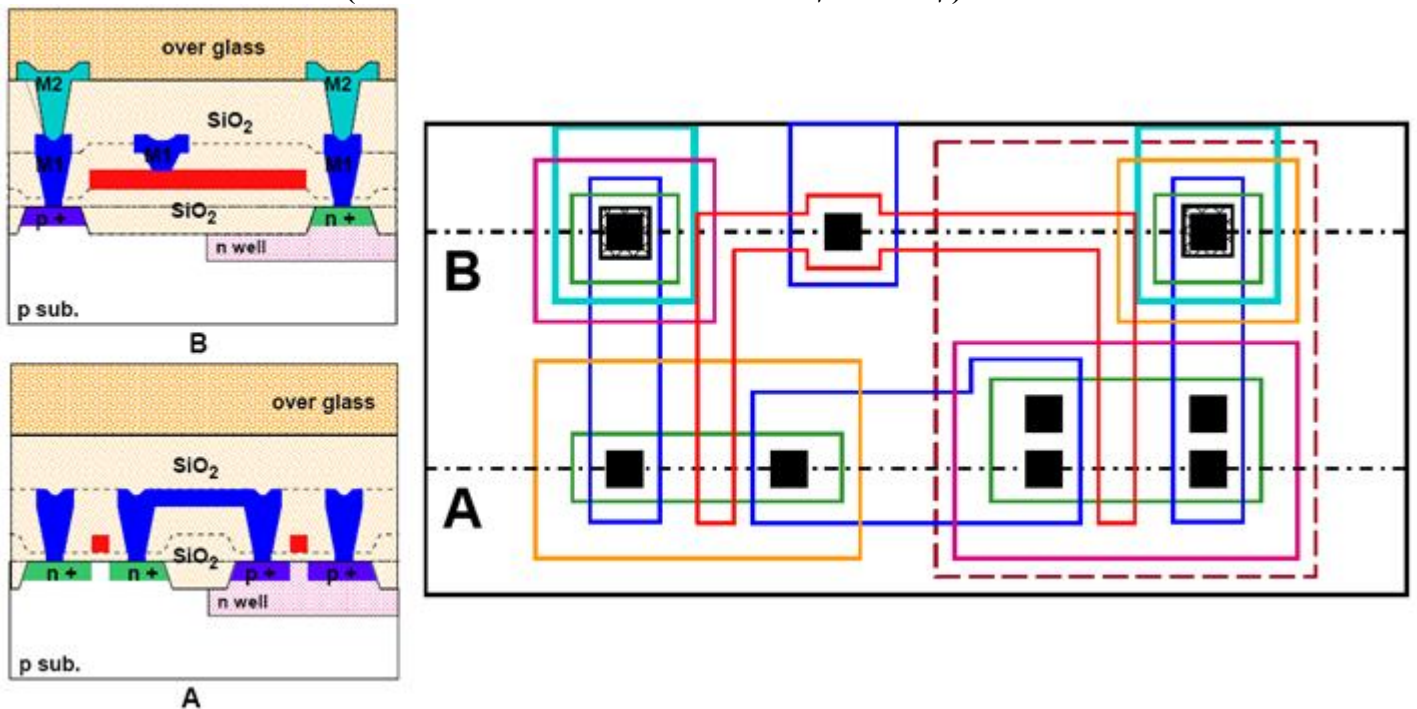
חשוב מאוד! לפני ואחרי כל שלב בו מצויינת מסיכה ישנם שלבים שמופעלים על כל ה-WAFER:

- א. ציפוי שכבה מלאה
- ב. כיסוי בפוטורזיסט
- ג. הארת הפוטורזיסט דרך מסיכה
- ד. השתלה או איכול

ה-WAFER (שני מבטים מהצד)	המסיכה (מבט על)	שלב
<p>Two cross-sectional views of a p-epi layer on a p-substrate. The top view shows a yellow layer labeled 'p-epi' on top of a yellow layer labeled 'p*'. The bottom view shows a yellow layer labeled 'p*' on top of a yellow layer labeled 'p sub.'.</p>	<p>A blank white square on a dark grey background, representing the initial mask.</p>	<p>התחלתי: מתחילים מפיסת סיליקון P+ או N+ בעובי מיקרונים רבים, עליו מניחים מצב P או N בעובי מיקרונים בודדים (שכבה אפרקסיאלית). ה BULK יוארך וניתן להשתמש בעוד מצע עם ריכוז הסימום גבוה משמעותית, ע"מ לדכא זרמי זליגה</p>
<p>Two cross-sectional views showing the formation of n-wells in a p-substrate. The top view shows a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'. The bottom view shows a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'.</p>	<p>A white square on a dark grey background, representing the mask for n-well formation.</p>	<p>השתלת ה-N-WELL: השתלה עמוקה מסוג N על ה-P-SUB.</p>
<p>Two cross-sectional views showing the deposition of SiO2 and the coating of photoresist. The top view shows a yellow layer labeled 'SiO2' on top of a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'. The bottom view shows a yellow layer labeled 'SiO2' on top of a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'.</p>	<p>A white square on a dark grey background, representing the mask for SiO2 deposition.</p>	<p>יצירת איזור ה-ACTIVE (תחמוצת עבה ודקה): הגדרת האיזורים בהם תהיה תחמוצת דקה (GOX = Gate OXide) אלה האיזורים בין השער למצע. בשאר האיזורים תהיה תחמוצת עבה (FOX = Field OXide) זהו תהליך הבידוד והוא מתבצע בשיטת ה-LOCOS או STI* (מודרני יותר, מונע Bird's Beak ראה דף הבא)</p>
<p>Two cross-sectional views showing the deposition of poly-silicon. The top view shows a red layer labeled 'poly' on top of a yellow layer labeled 'SiO2' on top of a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'. The bottom view shows a red layer labeled 'poly' on top of a yellow layer labeled 'SiO2' on top of a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'.</p>	<p>A white square on a dark grey background, representing the mask for poly-silicon deposition.</p>	<p>יצירת שער הפוליסיליקון – יצירת המסכה שאיתה נשתמש בשביל להניח את הפוליסיליקון שייצור לנו את השער.</p>
<p>Two cross-sectional views showing p+ implantation. The top view shows a blue layer labeled 'p+' on top of a yellow layer labeled 'SiO2' on top of a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'. The bottom view shows a blue layer labeled 'p+' on top of a yellow layer labeled 'SiO2' on top of a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'.</p>	<p>A white square on a dark grey background, representing the mask for p+ implantation.</p>	<p>השתלת P+: יצירת מסיכה שבאמצעותה נוכל להשתיל איזורי P+ (בשביל הדיפוזיות ובשביל מגעי המתכת, כי חייבים ריכוז גבוה ע"מ לחבר מגעי מתכת)</p>
<p>Two cross-sectional views showing n+ implantation. The top view shows a green layer labeled 'n+' on top of a yellow layer labeled 'SiO2' on top of a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'. The bottom view shows a green layer labeled 'n+' on top of a yellow layer labeled 'SiO2' on top of a pink layer labeled 'n well' on top of a yellow layer labeled 'p sub.'.</p>	<p>A white square on a dark grey background, representing the mask for n+ implantation.</p>	<p>השתלת N+: אותו עקרון בד"כ משתמשים פשוט במסיכה המשלימה של המסיכה הקודמת ע"מ למנוע חפיפות בין אזורי P+ ו-N+.</p>

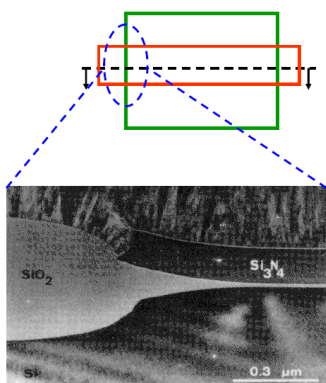
		<p>מסיכת המגעים: המגעים הם למעשה חורים בתחמוצת (בד"כ תחמוצת ILD1 שנוצרה כעת) יש להבדיל בין מגע לפולי לבין מגע למצע.</p>
		<p>מסיכת METAL1: שכבת המתכת הראשונה שיוצרת קישורים דרך המגעים של השכבה הקודמת (ILD1). (*באותו אופן METAL2 וכך הלאה במידת הצורך)</p>

LAYOUT סופי עבור 2 שכבות מתכת (קיבלנו מהפך - A זה הטרנזיסטור עצמו ו-B זה המצע):



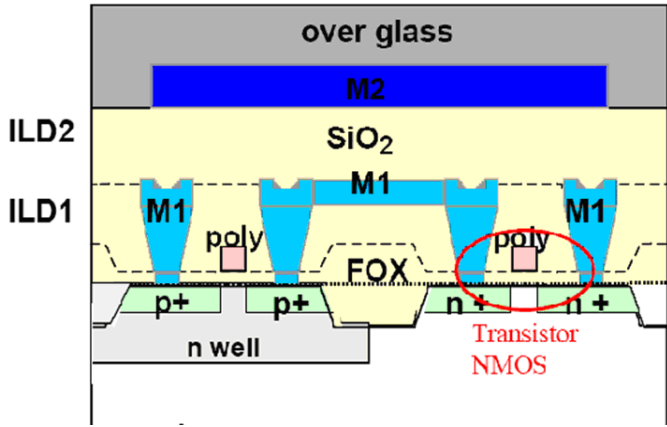
נספת לשלב הACTIVE: * שיטת הLOCOS (LOCAL Oxidation of Silicion) – יצירת תחמוצת עבה בין טרנזיסטורים:

1. גידול תחמוצת דקה (GOX) על כל פרוסה
 2. בעזרת מסיכת ACTIVE מכסים איזורים שבהם תישאר תחמוצת דקה בחומר נוגד חמצון (סיליקון ניטריד Si_3N_4)
 3. מחממים את הפרוסה בתנור כדי ליצור את ריאקציית החמצן עם הסיליקון ובעקבותיה יצירת שכבת תחמוצת עבה.
 4. **תופעת Bird's Beak:** כתוצאה מדיפוזיה חודר חלק מהתחמוצת העבה מתחת לשכבת ה Si_3N_4 והשטה האפקטיבי לטרנזיסטור קטן
- פתרון – שיטת STI (SWALLOW TRENCH ISOLATION):** מחליפים את שלבים 3 ו4.



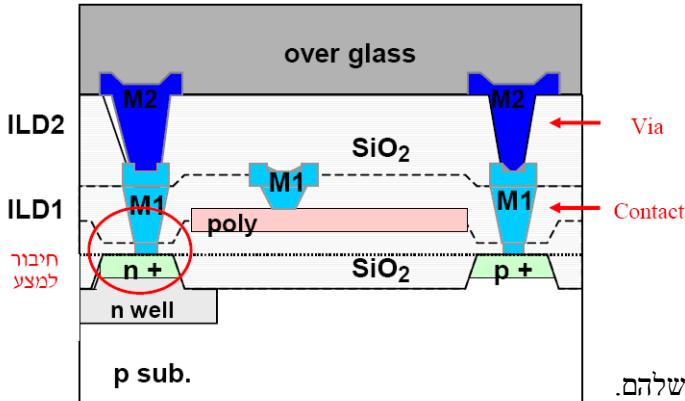
3. באיזורים החשופים יוצרים בורות (Trenches) ע"י איכול – הבורות ישמשו לבידוד הטרנזיסטורים ביניהם.
4. בשלב האחרון ממלאים את הבורות בחומר מבודד (תחמוצת או חומר אחר) בכך מגענו את תופעת הBird's beak והגדלנו את צפיפות הטרנזיסטורים על פיסת הסיליקון.

התכים במעגלי CMOS



להלן, תמונת מהפך CMOS חלקי בטכנולוגיית ייצור Self-aligned (השערים מיוצרים מתחת לפולי שכברנוצר – כדי להקטין את שטחי החפיפה וקיבולי השער) השטחים הצהובים הם חומרים דיאלקטרים שנקראים עפ"י השכבות בהן הם נמצאים:

Inter-Level Dielectric- ILD
Field Oxide- FOX
Gate Oxide – GOX



להלן חתך למגעים של מצב \ WELL עבור השכבות השונות:

SiO₂ – שכבת התחמוצת
M1 – חיבור METAL1
M2 – חיבור METAL2

נגדים וקבלים במעגל משולב

התנגדות:

ניתן למדל קווי מתכת במעגל לתיבה מוליכה ע"מ לחשב את ההתנגדות שלהם.

בניח כי ההתנגדות הסגולית היא ρ , אזי הנוסחה להתנגדות היא: $R = \frac{\rho}{z} \frac{x}{y}$

מאחר ולמתכני המעגל אין שליטה על עומק הקו (ציר Z)

נהוג להגדיר **התנגדות לריבוע**: $R_s = \frac{\rho}{z} \left[\frac{\Omega}{\square} \right]$ ולכן ההתנגדות היא: $R = R_s \times \frac{x}{y}$

יחס האורך והרוחב מגדיר את מספר הריבועים שניתן לצייר על המוליך שרוחבם רוחב המוליך לכן מודדים את ההתנגדות באוהם לריבוע.

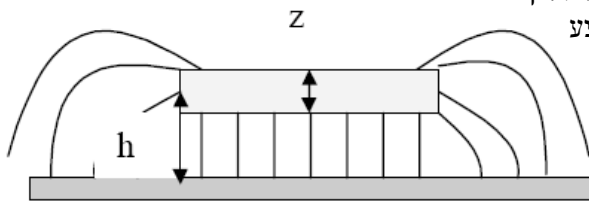
קיבולים:

1. תהליך CMOS, כמו הרבה תהליכי מיקרואלקטרוניקה אחרים, בנוי משכבות מוליכות ומבודדות אחת על השניה שיוצרות שטחים שניתן למדל כאוסף קבלי לוחות – אופיינית, נגדיר **קיבול ליחידת שטח** כ:

$$C_A = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}}, \epsilon_0 = 8.8510^{-6} [pF / \mu m] \epsilon_{ox} = 3.85$$

2. ככל שהקווים נעשים צרים יותר עלינו להתחשב גם בקיבולי שפה בין המוליך

למצע שמעליו או מתחתיו. עבור מוליך בעובי z הנמצא בגובה h מעל המצע (וביניהם תחמוצת) הנוסחה לקיבול שפה היא:



$$C_{edge} = \epsilon_0 \epsilon_{ox} \left\{ \frac{\pi}{\ln \left[1 + \frac{2h}{z} \left(1 + \sqrt{1 + \frac{z}{h}} \right) \right]} - \frac{z}{4h} \right\}$$

והקיבול הכולל עבור קבל הלוחות כולל אפקט השפה הוא: $C = C_A \times A + C_{edge} \times perimeter$

3. עבור טרנזיסטור אזורי הדיפוזיה (+p בתוך מצע n+n בתוך p-well) מתפקדים בצמתים בעלי ממתח אחורי שכידוע יוצרים

$$C_{diff} = \frac{C_{ja} A}{\left(1 + \frac{V}{\phi_j} \right)^{M_j}} + \frac{C_{jp} Perimeter}{\left(1 + \frac{V}{\phi_{jsw}} \right)^{M_{jsw}}}$$

C_{ja} – קיבול ליחידת שטח של קרקעית הדיפוזיה במתח אפס.

ϕ_j – המתח הבנוי בצומת בקרקעית הדיפוזיה (PB) (SPICE).

ϕ_{jsw} – המתח הבנוי בצומת בקירות הדיפוזיה (PB) (SPICE).

V – המתח המופעל על הצומת. נבחר ערך מקסימלי – V_{dd} .

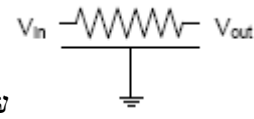
C_{jp} – קיבול ליחידת היקף של קירות הדיפוזיה במתח אפס (כולל כבר את הכפל בעומק הדיפוזיה).

M_j – מקדם לסוג המעבר בין סימומים בקרקעית הדיפוזיה (לדוגמה 0.5 = מעבר חד ו-0.33 = מעבר לינארי)

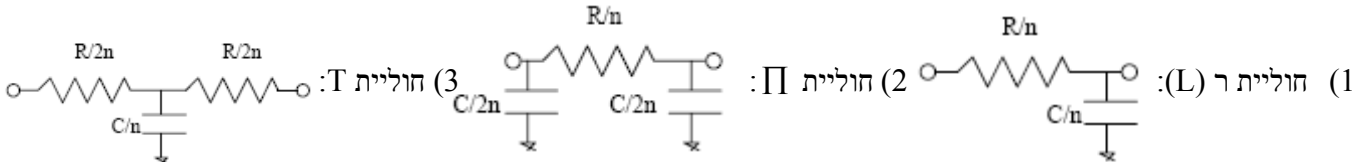
M_{jsw} – מקדם לסוג המעבר בין סימומים בקירות הדיפוזיה (לדוגמה 0.5 = מעבר חד ו-0.33 = מעבר לינארי).

השהיית קווים במעגל משולב לפי מודל RC

קווים מפולגים במעגל תורמים התנגדות והם בעלי קיבול ביחס למצע או למוליכים אחרים במעגל. ולכן הם תורמים השהייה פרזיטית בנוסף לזו של הטרנזיסטורים.



סימון מקובל: עבור מודל RC פשוט זמן השהייה עד ל-50% מהשינוי במוצא הוא: $T_D = RC \ln 2 \approx 0.69RC$
 אך קירוב זה אינו תואם את המציאות כיוון שיש תלות בין הנגד לקבל לכן נפרק את המוליך ל-n חוליות RC משורשרות לפי 3 שיטות:



חשוב אנליטי אם נחלק את המוליך ל-n חוליות "ר" (לא בהכרח שוות): ונגדיר את T_D כזמן ההשהיה לערך הרצוי. ע"י שימוש בקבוע אלמור

שהוא: $T_E = \sum_{i=1}^n \sum_{j=1}^j R_i C_j$ כלומר סכום מכפלות קבל-נגד כשכל נגד מוכפל בסכום הקבלים שהוא רואה במסלול ממנו עד לצומת n כלומר R_1 יוכפל בכל הקבלים, R_2 יוכפל בקבלים החל מ- C_2 וכו' - לסיכום, מתברר כי זהו אומדן מדויק מספיק להשהייה הכוללת.

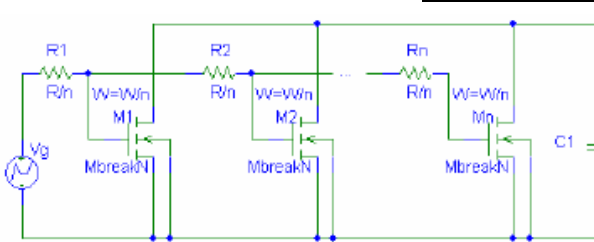
תלות השהייה באורך החוט: עבור חוט באורך L ועובי W בעל קיבול ליח' שטח C_A והתנגדות לריבוע R_S : $T_E = R_S C_A L^2 / 2$

אם רוחב החוט קטן עלינו להתייחס לקיבול השפה: ואז $C = C_A W L + 2C_P(W+L)$ ומתקיים $T_E = R_S C_A L^2 / 2 + R_S C_P \frac{L^2}{W} + R_S C_P L$

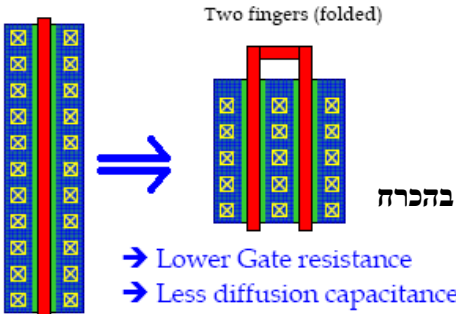
השהיית טרנזיסטורים מפולגים

טרנזיסטורים מפולגים הם טרנזיסטורים בעלי יחס W/L גדול מאוד אמנם אמורים להזרים זרם חזק, אך בטרנזיסטורים אלה המגעים בד"כ נמצאים בנקודה מסוימת ולא על כל שטח השער או הדיפוזיה לכן הפעלת מתח קצה לא פותחת אותו מיידית.

הקירוב לטרנזיסטור מפולג הוא הגדרת הרוחב W כרוחב תלוי בזמן: $W_{eff} = \begin{cases} W \frac{t}{T_E} & t < T_E \\ W & t \geq T_E \end{cases}$ והמידול המתאים ב-SPICE הוא ע"י



הקירוב של n טרנזיסטורים מחוברים במקביל כשכל אחד התנגדות שער:



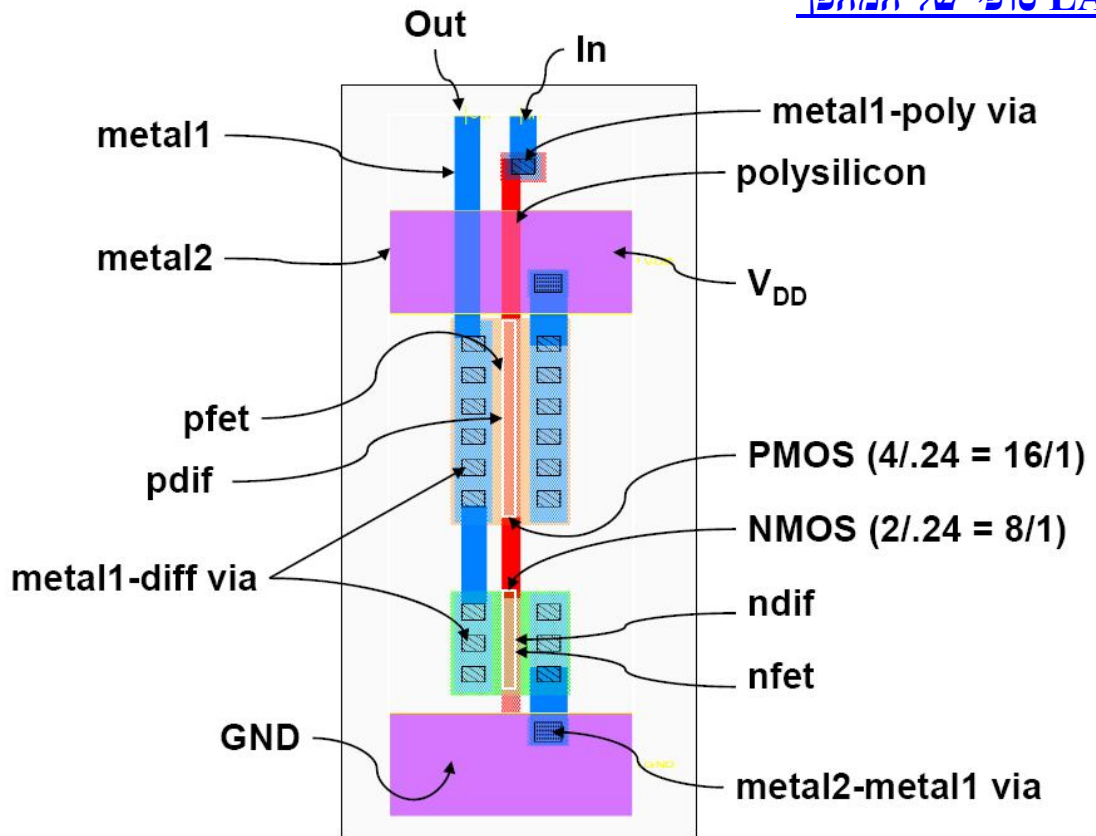
דרך להתגבר על בעיית הטרנזיסטור המפולג היא קיפול ל"אצבעות": הדבר ישפר את הביצועים כי:


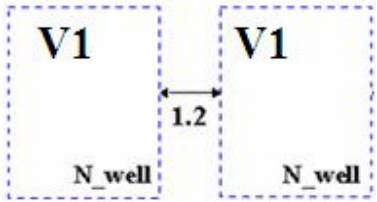
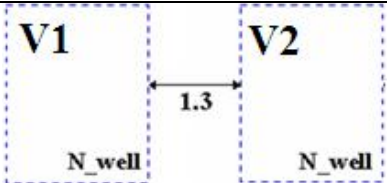
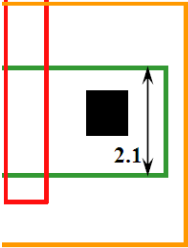
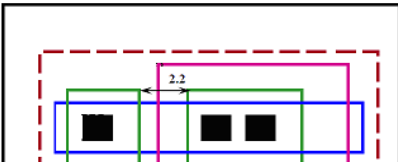
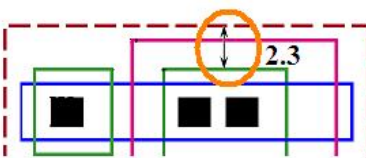
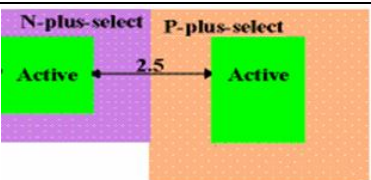
- א. התנגדות השער קטנה יותר: קו הפולי קצר יותר
- ב. קיבול הדיפוזיה קטן יותר: פחות דיפוזיות יושבות במקביל על המוצא

באופן כללי: קיפול למספר זוגי של אצבעות יוצר מס' אי-זוגי של דיפוזיות ולכן יש בהכרח א-סימטריה בטרנזיסטור: להדק העליון שמחבר את הדיפוזיה הקיצונית וכל דיפוזיה "אי זוגית", יהיה קיבול דיפוזיה גדול יותר מאשר להדק התחתון המחבר את הדיפוזיות "הזוגיות". אם הדיפוזיות החיצוניות הן S ו-D אזי בהכרח $C_S > C_D$.
 לכן ע"מ לשמור על סימטריה, עדיף לחלק למספר אצבעות אי-זוגי

ונקודה נוספת: באופן כללי כדאי להוסיף מגעים בדיפוזיות ע"מ להקטין את התנגדות הכניסה – דבר זה מגדיל במעט את השטח ואמנם נוסף לנו קיבול עומס פרזיטי אך ההשהייה שנובעת מכך פחות משמעותית מההשהייה שנובעת מהתנגדות השער.

LAYOUT סופי של המהפך



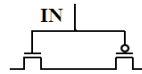
חוק	משמעות	גודל (בקורס)	דוגמא
WELL			
1.1	רוחב מינימלי של ה-WELL	$12\lambda = 2.4[\mu m]$	
1.2	מרחק מינימלי בין שני WELLS בעלי אותו מתח	$6\lambda = 1.2[\mu m]$	
1.3	מרחק מינימלי בין שני WELLS זהים במתחים שונים	$18\lambda = 3.6[\mu m]$	
אזורי ה-ACTIVE			
2.1	רוחב מינימלי של איזור ה-ACTIVE	$3\lambda = 0.6[\mu m]$	
2.2	מרחק מינימלי בין שני איזורי ACTIVE	$3\lambda = 0.6[\mu m]$	
2.3	מרחק מדויק בין קצה איזור ה-ACTIVE לקצה WELL	$6\lambda = 1.2[\mu m]$	
2.4	מרחק מדויק בין איזור ה-CONTACT לקצה ה-WELL	$6\lambda = 1.2[\mu m]$	אותו ציור
2.5	מרחק מינימלי בין שני ACTIVE שבמשטחים שונים	$4\lambda = 0.8[\mu m]$	

חוק	משמעות	גודל (בקורס)	דוגמא
פוליסיליקון			
3.1	רוחב מינימלי של הפוליסיליקון	$2\lambda = 0.4[\mu m]$	
3.2	מרחק מינימלי בין שני שערי פוליסיליקון	$3\lambda = 0.6[\mu m]$	
3.3	אורך מינימלי של פוליסיליקון מעבר לשטח הACTIVE	$2\lambda = 0.4[\mu m]$	
3.4	אורך מינימלי של ACTIVE מעבר לשטח הפוליסיליקון	$3\lambda = 0.6[\mu m]$	
3.5	מרחק מינימלי בין פולי לא חופף לACTIVE	$\lambda = 0.2[\mu m]$	
P+ SELECT או N+ SELECT			
4.1	מרחק מינימלי בין איזור הSELECT לתעלת הטרנזיסטור (כדי להבטיח רוחבי איזורי S וD1 תקינים)	$3\lambda = 0.6[\mu m]$	
4.2	היקף מינימלי של SELECT מסביב לACTIVE	$2\lambda = 0.4[\mu m]$	
4.3	היקף מינימלי של ACTIVE מסביב למגע ועד לSELECT	$\lambda = 0.2[\mu m]$	
4.4	רוחב מינימלי של איזור הSELECT	$2\lambda = 0.4[\mu m]$	
מגעים			
5.1	גודל מדויק של מגע	$2\lambda \times 2\lambda = 0.4[\mu m]$	
5.2	היקף מינימלי של הפולי מסביב למגע	$1.5\lambda = 0.3[\mu m]$	
5.3	מרחק מינימלי בין מגעים	$3\lambda = 0.6[\mu m]$	
5.4	מרחק מינימלי לשער הטרנזיסטור	$2\lambda = 0.4[\mu m]$	
METAL1			
7.1	רוחב מינימלי של METAL1	$3\lambda = 0.6[\mu m]$	
7.2	מרווח מינימלי בין שני METAL 1S	$3\lambda = 0.6[\mu m]$	
7.3	היקף מינימלי של METAL מסביב למגע	$\lambda = 0.2[\mu m]$	
VIA1 (שכבת מגע המחברת בין METAL1 לMETAL2)			
8.1	גודל מדויק של VIA	$2\lambda \times 2\lambda = 0.4[\mu m]$	
8.2	מרחק מינימלי בין שני VIAS	$3\lambda = 0.6[\mu m]$	
8.3	היקף של VIA סביב METAL1	$\lambda = 0.2[\mu m]$	
METAL2			
9.1	רוחב מינימלי של METAL2	$3\lambda = 0.6[\mu m]$	
9.2	מרחק מינימלי בין שני METAL 2S	$3\lambda = 0.6[\mu m]$	
9.3	היקף מינימלי סביב VIA1	$\lambda = 0.2[\mu m]$	

LAYOUT מלבנים

יש שלושה סוגי קיבולים במעגל:

א. קיבול כניסה: הקיבול הכולל המחובר בין צומת כניסה מסוימת לבין כל אחד מהמתחים הקבועים (VDD VSS).. קיבול זה מורכב מ-



(1) קיבולי השערים: $C_{ox}(W_n L_n + W_p L_p)$

(2) קיבולי פולי מעל תחמוצת (עבה!): $C_{pf}(W_{poly} L_{poly})$

(3) קיבול הנובע מחפיפת GATE-SOURCE: $C_{GSO,p} W_p + C_{GSO,n} W_n$

לשים לב: בקיבול האחרון מחשיבים את P או N רק אם ה-SOURCE מחבר בין הכניסה למתח קבוע!

כלומר, בדוגמא הזו עבור כניסה IN1:

ה-SOURCE של P מחבר בין VDD לפולי של כניסה אחת (המסלול האדום)

אבל ה-SOURCE של N מחובר בכלל ל IN2 ולא ל IN1, לכן עבור כניסה זו:

$$C_{GSO,p} W_p$$

לעומת זאת, עבור כניסה IN2 (המסלולים הכחולים) שני אזורי ה-SOURCE של P

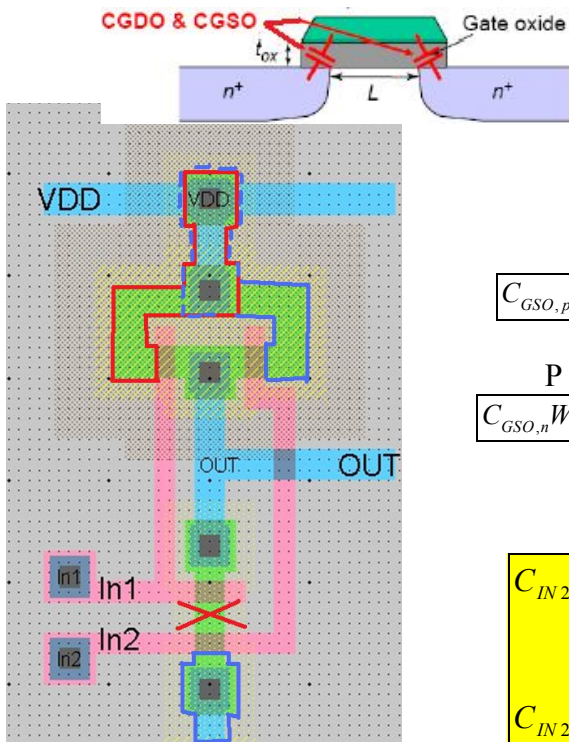
וגם של N מחברים את IN2 ל VDD ול VSS לכן עבור כניסה זו:

$$C_{GSO,n} W_n + C_{GSO,p} W_p$$

ולסיכום, הביטוי עבור קיבול הכניסה הוא:

$$C_{IN2} = \underbrace{C_{ox}(W_n L_n + W_p L_p)}_{\text{gate input cap}} + \underbrace{C_{pf}(W_{poly} L_{poly})}_{\text{poly over field oxide (FOX)}} + \underbrace{(C_{GSO,p} W_p)}_{\text{gate-source overlap cap}}$$

$$C_{IN2} = \underbrace{C_{ox}(W_n L_n + W_p L_p)}_{\text{gate input cap}} + \underbrace{C_{pf}(W_{poly} L_{poly})}_{\text{poly over field oxide (FOX)}} + \underbrace{(C_{GSO,p} W_p + C_{GSO,n} W_n)}_{\text{gate-source overlap cap}}$$



ב. קיבול יציאה: הקיבול הכולל המחובר בין צומת המוצא לבין מתח קבוע כלשהו, קיבול זה מורכב מ:

(1) קיבולי דיפוזיות - הדיפוזיות מהוות צמתי PN בממתח הפוך, לכן עבורן נחשב את קיבולי השטח וההיקף

$$C_{ja,n} Area_n + C_{jp,n} Perimeter_n + C_{ja,p} Area_p + C_{jp,p} Perimeter_p$$

עבור N השטח וההיקף יראו כך (מסומנים באדום):

ניתן לראות כי השטח הוא: $5 \times 5 + 3 \times 1 = 28 \lambda^2$ וההיקף הוא: $5 + 5 + 5 + 1 + 1 + 1 + 1 = 19 \lambda$

לשים לב: בחישוב ההיקף לא לוקחים את קו החיבור בין הפולי לדיפוזיה!

עבור P: השטח וההיקף יראו כך (מסומנים באדום):

ניתן לראות כי השטח הוא: $5 \times 2 + 3 \times 7 = 31 \lambda^2$ וההיקף הוא: $5 + 2 + 2 + 1 + 1 + 7 = 18 \lambda$

(2) קיבולי מתכת: קיבולים הנובעים משטח מתכת מעל תחמוצת עבה:

$$C_{m1,f} Area_{m1}$$

ניתן לראות כי השטח (מסומן באדום-צהוב) הוא:

$$12 \times 3 + 3 \times 5 + 10 \times 3 = 81 \lambda^2$$

לשים לב: בחישוב השטח לא לוקחים את השטח שעובר מתחת לפולי!

ולסיכום, הביטוי עבור קיבול היציאה:

$$C_{m1,f} Area_{m1}$$

ב. קיבול הצימוד:

הקיבולים שבין כניסה ליציאה מסוימת ועלולים לגרום בעיות "פיקים"

(OVERSHOOT) ביציאה, עבור מסלול IN1-OUT (מסומן באדום). גם טרנזיסטור

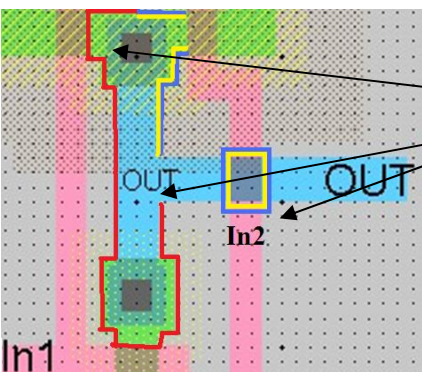
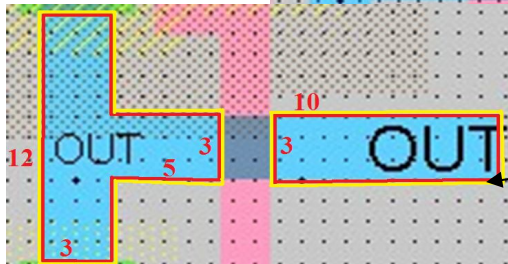
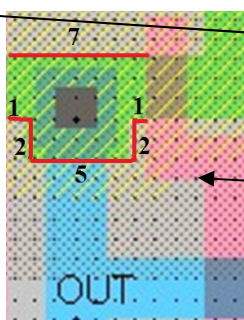
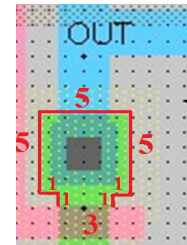
וגם טרנזיסטור P מחברים את היציאה לכניסה עבור IN2-OUT (מסומן בכחול צהוב)

טרנזיסטור P וגם שטח משותף לפולי וליציאה מחברים ליציאה:

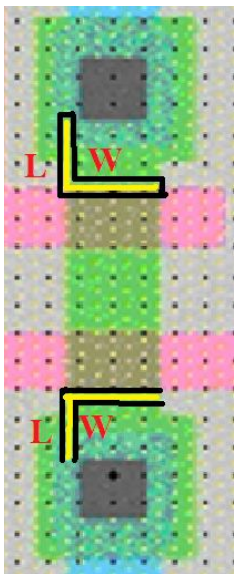
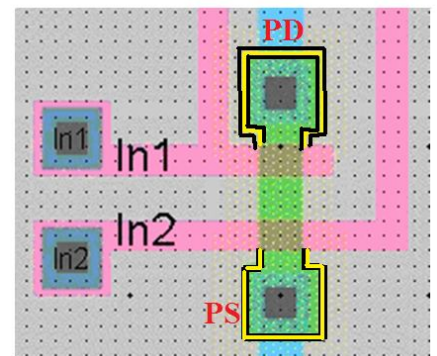
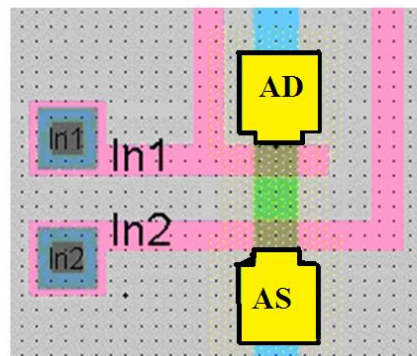
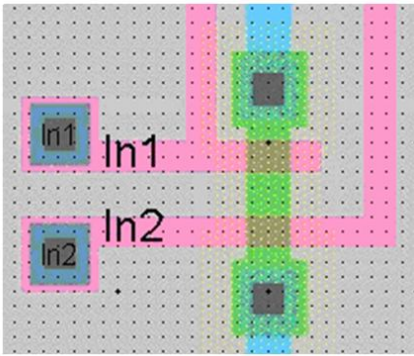
ולסיכום, הביטוי עבור קיבול צימוד:

$$C_{IN1,OUT} = C_{GDO,p} W_p + C_{GDO,p} W_n$$

$$C_{IN2,OUT} = C_{GDO,p} W_p + C_{m1,poly} A_{poly \text{ over } m1}$$



LAYOUT מ SPICE פרמטרים



AS, AD שטחי הדיפוזיות PD PS היקפי הדיפוזיות NRD, NRS (מס' הריבועים L/W ע"מ לחשב התנגדות – כמה ריבועים בין המגע לשער חלקי רוחב השער)

מעגלים סטטיים - CMOS

דוגמא: עבור מהפך מינימלי שעבורו נתון W_N – איך קובעים את W_P ?

$$r \triangleq \frac{W_P}{W_N} = b \triangleq \frac{\mu_n}{\mu_p}$$

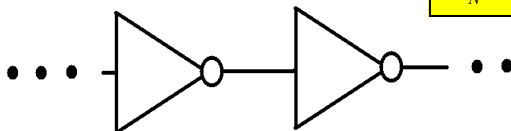
כדי להשיג זמן עליה = זמן ירידה נקבע:

ואז יחסי הרוחבים יקבעו לפי:

$$\frac{W_P}{W_N} = \frac{k'_n L_P (V_{DD} - V_{TN})}{k'_p L_N (V_{DD} - |V_{TP}|)} = \frac{\mu_n C_{ox} L_P (V_{DD} - V_{TN})}{\mu_p C_{ox} L_N (V_{DD} - |V_{TP}|)}$$

כעת, נניח שרשרת מהפכים אינסופית:

כיצד נשיג השהייה מינימלית לשרשרת?



מטעמי סימטריה, נבחר שני מהפכים ונשליכם על כל השרשרת, לכן אנו רוצים למזער את הביטוי $t_{rise} + t_{fall}$

ונשים לב כי כאן סימטריה בזמנים לא תשיג לנו השהייה מינימלית, כל שער דוחף קיבול של $C_{IN} = C_{NMOS} (1+r)$

$$R_o = \frac{1}{k} = \frac{L}{\mu C_{ox} W}$$

נגדיר התנגדות אפקטיבית של טרנזיסטור

$$r = \sqrt{b} \quad t_{rise} + t_{fall} = R_o C_o (1+r) + \frac{R_o}{r} \cdot b \cdot C_o (1+r)$$

אזי הביטוי הוא: ולמעשה הוא מינימלי עבור

כלל: במסלול לוגי המבוסס על שערי CMOS בלבד נקבל השהייה מינימלית כאשר השערים הם SKEWED LOW (חלש יותר מהמקרה הסימטרי) הבעיה היא הקטנת החסינות לרעש

$$T_{r,f} = \frac{4C_L}{k_{eq} (V_{DD} - V_T)}$$

השהיית טעינה \ פריקה בשערי CMOS – השהיית זרם ממוצע:

$$T_{r,f} = \frac{C_L}{k_{eq} (V_{DD} - V_T)}$$

השהיית טעינה \ פריקה בשערי CMOS – השהיית קבל נגד (יותר מדויק):

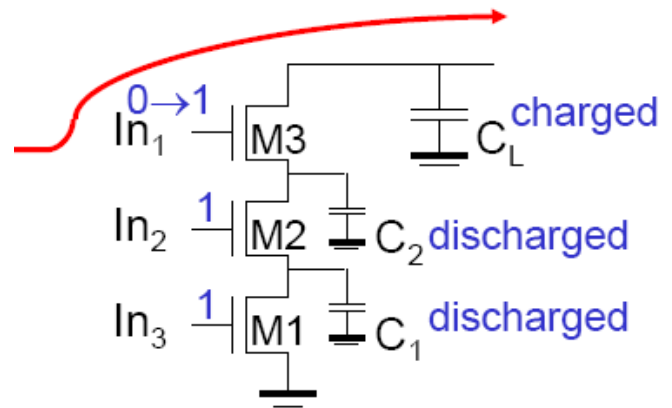
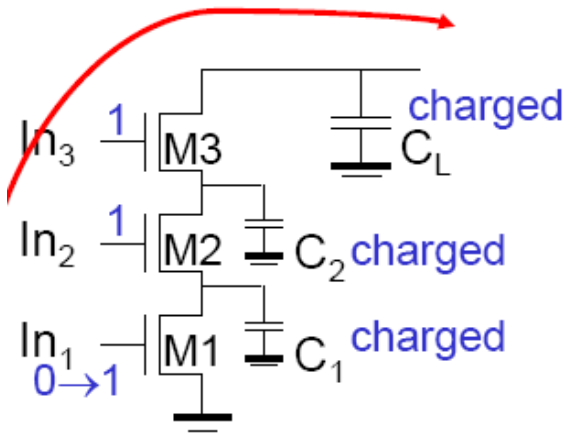
$$k_{eq} = k_1 + k_2 + \dots$$

מוליכות אפקטיבית של טרנזיסטורים במקביל:

$$\frac{1}{k_{eq}} = \frac{1}{k_1} + \frac{1}{k_2} + \dots$$

מוליכות אפקטיבית של טרנזיסטורים מטור:

שיקולי מיתוג כניסות במעגלי CMOS מרובי כניסות



במקרה הנ"ל הכניסה שרחוקה יותר מהמוצא:

א. צריכה לפרוק קיבול גדול יותר (של היציאה ושל הטרנזיסטורים לפנייה)

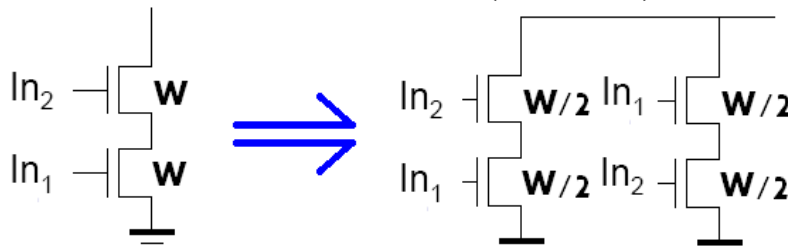
ב. רואה התנגדות גדולה יותר (בגלל אפקט המצע בטרנזיסטור העליון שמגדיל את VT שלו)

לכן במעגלים מרובי כניסות - מיתוג הכניסה הרחוקה מהמוצא במקרה הגרוע הוא תמיד ארוך יותר

פתרונות:

ניתן להגדיל את רוחב הטרנזיסטור של הכניסה הרחוקה מהמוצא – יוצר בעייה בLAYOUT כי כאשר הרוחב זהה המרחק בין 2 קווי הפולי יכול להיות מינימלי, לכן צריך להרחיק והדבר מגדיל את הקיבול הפרזיטי – כלומר, לא בטוח שההשהייה תהיה טובה יותר.

דרך עדיפה = CORRECT BY CONSTRUCTION (נכון במבנה)



מקרה סימטרי - אין כניסה עדיפה
חסרון: תשלום בשטח לכן בד"כ סובלים את הכניסה האיטית יותר ומשתמשים בשערים רגילים

הספק במעגלי CMOS

נוסחא כללית להספק במעגלי CMOS:

$$P_{CMOS} = \underbrace{\eta C V_{DD}^2 f}_{dynamic} + \underbrace{V_{DD} \cdot I_{SHORT-CIRCUIT}}_{short-circuit} + \underbrace{V_{DD} \cdot I_{LEAKAGE}}_{leakage}$$

$\eta =$ נצילות שעון = מספר מיתוגי הקבל \ מספר מיתוגי השעון (לדוגמא $\eta = \frac{1}{2}$ עבור מיתוג קבל יחיד במחזור שלם)

דרך נפוצה להקטין את ההספק הדינמי: בניית צמתים שמשתנים בין V_T ל $V_{DD} - V_T$ בלבד – זאת מבלי להוריד את

V_{DD} (דבר שיאט את המעגל)

"זרם קצר" **SHORT CIRCUIT CURRENT** זורם בזמני מיתוג כאשר גם ה NMOS וה PMOS מוליכים נובע משיפועים מתונים יחסית – בד"כ השיפועים חדים לכן בד"כ נזניה אותם.

הספק סטטי הנובע מדיפוזיות (זליגה):

$$P_{static} = \begin{cases} V_{DD} J_{leakage} A_{total-out, n+} & V_{out} = V_{DD} \\ V_{DD} J_{leakage} A_{total-out, p+} & V_{out} = 0 \end{cases}$$

מעגלים סטטיים – שערי תמסורת (PTL)

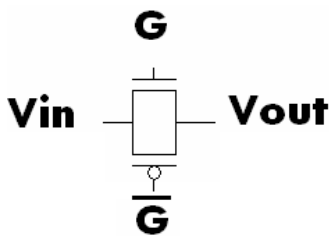
G
Vin **Vout**
 שער NMOS: כש $G=0$ השער מנותק ו V_{OUT} נשמר, כש $G=1$ הטרנזיסטור מוליך. בעיה: שער כזה לא מעביר '1' במלואו – עבור $V_{in}=V_{DD}, G=1$ $V_{OUT}=V_{DD}-V_T$

$V_{OUT}=V_{DD}-V_T$

VDD **VDD** **VDD**
VDD **Vout**
 בנוסף, גם במקרה הבא:

$V_{OUT}=V_{DD}-2V_T$

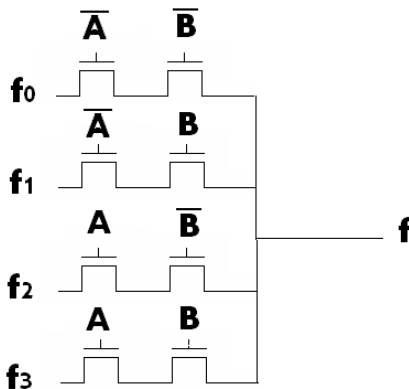
VDD
VDD **Vout**
 והמקרה הבא עוד יותר בעייתי:



לכן אף פעם לא נשרשר מוצא של שער תמסורת ל'G של שער אחר!

פתרון לבעיית ההעברה: שער תמסורת כפול (דורש גם את ההיפוך של G)

מימוש פונקציה של שני משתנים ע"י שערי תמסורת בדוגמא, מטריצת N-CH:



A	B	f(A,B)
0	0	f0
0	1	f1
1	0	f2
1	1	f3

מטריצת NMOS - יתרונות	מטריצת NMOS - יתרונות
בעיית העברת ה'1' $V_{OH}=V_{DD}-V_T$ כמו שראינו (ניתן לפתור ע"י מתג כפול)	לא דורש מסלולי PMOS!
יותר טרנזיסטורים. דורש: $n \cdot 2^n$ טרנזיסטורים (n = מספר כניסות)	
בעיה בהעברת '1' איטית בגלל חניקה עצמית - לכן ניתן לשים PMOS במקומות בהם המוצא הוא 1	

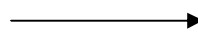
מימושים חילופיים - התגברות על בעיות במטריצת N-CHANNEL יחידה

1. מטריצת מתגים כפולים (Dual PTL=DPTL)

2. מטריצת מעורבת: כל מסלול שערך הפונקציה הוא 1 ימומש ע"י שער P (Complex PTL = CPTL) וכל מסלול שערך הפונקציה הוא אפס ימומש ע"י שער N.

טריקים: ניתן לצמצם את המטריצה ובכך להקטין שטח, לדוגמא עבור OR

A	'A	B	B'	f(A,B)
0	1	0	1	0
0	1	1	0	1
1	0	0	1	1
1	0	1	0	1



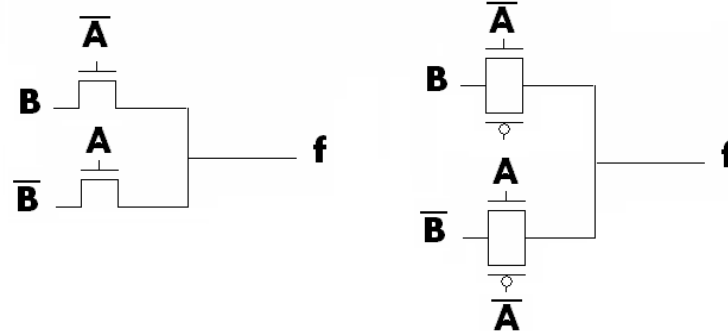
A	f(A,B)
0	B
1	1

לסיכום – שלבי תכנון שערי תמסורת:

1. רושמים טבלת אמת
2. מספר מסלולים כמספר השורות בטבלת אמת
3. מספר מתגים כמספר הכניסות (או בדרך שמתאימה לכל אחת מהשיטות)

הערה: מימוש ע"י מטריצות שערי תמסורת (שיטת PTL) עדיף בד"כ רק למימושי XOR או MUX (רק במקרה זה השטח הנדרש הוא קטן יותר)

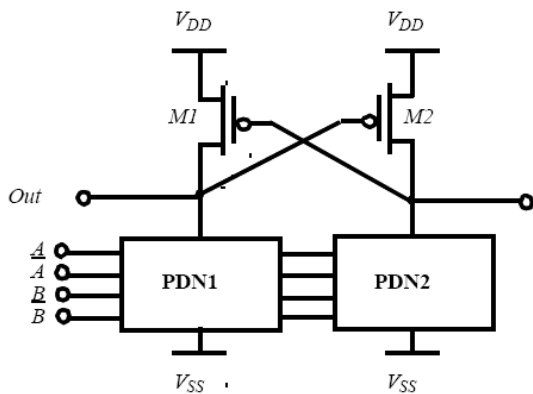
מימוש XOR ע"י PTL ו CPTL (בCMOS זה דורש 8 טרנזיסטורים):



בעיית TG:

אם הצמתים מתמתגים באופן דינאמי (לדוגמא בMUX) אחת הכניסות יכולה להיכנס לכניסה השנייה

DCVSL (Differential Cascode Voltage Switch Logic) - חלופה לCMOS מלא



יתרון: מהירות!

קיבול הכניסה קטן מקיבול הכניסות של CMOS מלא בצורה משמעותית. לדוגמא בNAND3:

$$C_{in,DCVSL} = 3w_0 + 3w_0 < 3w_0 + 3w_0 \cdot b \cdot r = C_{in,CMOS}$$

אין מסלולים טוריים של PMOS ולכן ניתן לשים בלוק לוגיקה עמוס יותר. היתרון הוא בשרשרור דרגות – הקיבול שהדרגה הקודמת צריכה לטעון או לפרוק קטן מאחר והכניסה היא רק לשערי NMOS ולא PMOS. חסרונות:

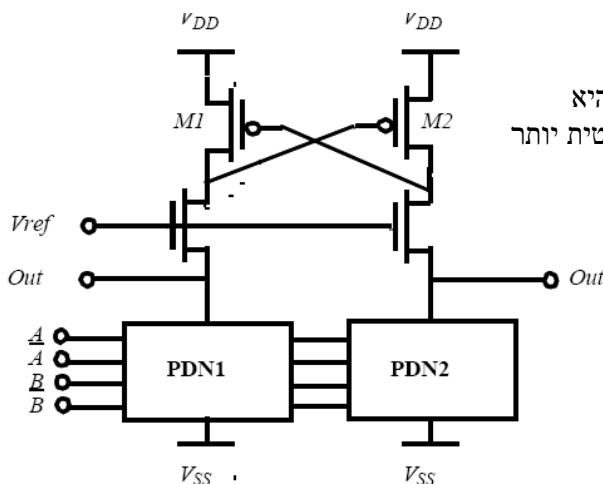
הספק סטטי (PMOS תמיד מוליך)

א-סימטריה: זמן הטעינה איטי יותר מזמן הפריקה.

$$VOL > 0$$

MODIFIED DCVSL

מוסיפים NMOS בין PMOS לבלוק הN, משפר את הטעינה כי היא רק עד $V_{ref} - V_T$. החסרון הוא שVGS קטן ואז הפריקה הופכת לאיטית יותר



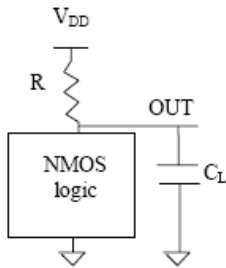
חלופות נוספות ל-CMOS ratioed logic

שיקולים: קיצור זמן הטעינה (PMOS איטי יותר) וחסכון בשטח (PMOS דורש WELL נוסף) אפשרויות:

1. נגד – כעומס פסיבי – אלמנט הטעינה הוותיק ביותר

חסרונות:

זרם DC (הספק) מפל מתח ($V_{OL} > 0$) ובנוסף נגד תופס שטח רב

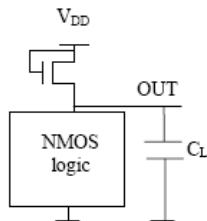


2. טרנזיסטור ENHANCEMENT – ע"מ לחסוך בשטח

חסרונות:

עדיין פיזור הספק DC, $V_{OH} = V_{DD} - V_T$, $V_{OL} > 0$

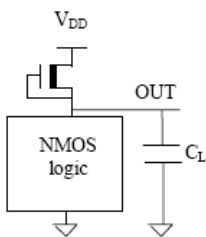
VDS הולך וקטן בטעינה - חניקה עצמית.



3. טרנזיסטור DEPLETION – ע"מ לטעון עד VDD

חסרונות:

עומס גדול יותר שמעלה את V_{OL} , טכנולוגיה מיושנת ומסובכת שדורשת השתלות מיוחדות, ע"מ להוריד את V_T

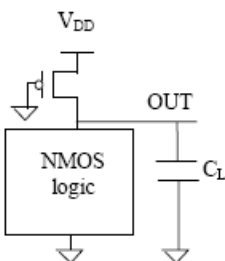


4. PSEUDO NMOS – ע"מ לטעון עד VDD בלי השתלות מיוחדות

חיבור טרנזיסטור PMOS כעומס פסיבי.

חסרונות:

עדיין פיזור הספק DC, $V_{OL} > 0$



כללים לתכנון RATIOED :

$$\frac{k_p}{k_n} = \frac{2(V_{DD} - V_{T,n})V_{OL} - V_{OL}^2}{(V_{DD} - |V_{T,p}|)^2}, V_{OL} \approx \frac{k_p (V_{DD} - |V_{T,p}|)^2}{k_n 2(V_{DD} - V_{T,n})}$$

לסיכום, במעגל RATIOED לעומת מעגל CMOS בעל בלוק N זהה:

1. קיימת צריכת הספק סטטית
2. קיבול הכניסה קטן יותר (אין בלוק P)
3. $V_{OL} > 0$
4. מסלול הפריקה איטי יותר
5. מסלול הטעינה איטי יותר
6. בעיות מאמץ תכנון, עקב שיקולי אמינות.

טבלה מסכמת:

cmos	נגד	n-ch	Depletion	p-ch
0	גדול מ-0	גדול מ-0	גדול מ-0	גדול מ-0
שטח	יותר מ-0 (גדול מאוד)	השטח קטן יותר, אך עלול להיות צורך בהגדלת L (להחלשת pull up)	השטח קטן יותר, אך עלול להיות צורך בהגדלת L (להחלשת pull up)	השטח קטן יותר
V_{DD}	V_{DD}	$V_{DD} - V_T$	V_{DD}	V_{DD}
0	גדול מ-0	גדול מ-0	גדול מ-0	גדול מ-0
הערות		צריך להחליש את ה n	קושי טכנולוגי	

קביעת יחס PN:

ע"מ לעשות אופטימיזציה של מעגלי CMOS מבחינת זמנים, בהנחה שאין כיוון מיתוג צריך להתחשב בשני הזמנים ונניח שרשור אינסופי של המעגלים: נגדיר זמני עלייה וירידה וחישוב שלהם:

נניח כי N_n הוא המספר של טרנזיסטורי ה-NMOS במסלול הפריקה הקריטי ובאותו אופן P_p למס' PMOS במסלול טעינה:

$$T_r = \frac{C_L}{\frac{C_{ox} \mu_{ox} W_n}{N_n L_n} (V_{DD} - V_T)}, T_f = \frac{C_L}{\frac{C_{ox} \mu_{ox} W_p}{P_p L_p} (V_{DD} - V_T)}$$

כשCL הוא למעשה קיבול הכניסה וקיבול המוצא (דיפוזיות) של המעגל כולו כלומר (הקבועים הם מספרי טרנזיסטורי ה-NMOS וה-PMOS שמחוברים לכניסה ולמוצא):

$$C_L = C_{ox} (A \cdot W_n L_n + B \cdot W_p L_p) + C_{ja} (C W_n + D W_p)$$

נגדיר את הזמן הממוצע שאנחנו צריכים לשפר $\langle T \rangle = \frac{1}{2} (T_r + T_f)$

$$\chi = \frac{W_p}{W_n}, \alpha = \frac{1}{\frac{C_{ox} W_n}{N_n L_n} (V_{DD} - V_T)} C_{ox} L_n, \beta = \frac{1}{\frac{C_{ox} W_p}{N_p L_p} (V_{DD} - V_T)} C_{ox} L_p$$

ונגדיר: $\frac{dT}{d\chi} = 0$ ונקבל את χ .

הערה: במקרים בהם עלינו להתחשב בדרישות תכנון כמו שניתנו לנו עלינו לתכנן תחילה עם טרנזיסטורים מינימליים

$$W_n = W_{min}, W_p = b \cdot W_{min}$$

מטעמי נוחות, נהוג להגדיר גדלים בסיסיים לקיבולים: $C_g = C_{ox} W_{min} L_{min}, C_d = C_{ja} W_{min} X_{min}$

$$\tau_g = \frac{C_g}{k_n' \frac{W_{min}}{L_{min}} (V_{DD} - V_T)}, \tau_d = \frac{C_d}{k_n' \frac{W_{min}}{L_{min}} (V_{DD} - V_T)}$$

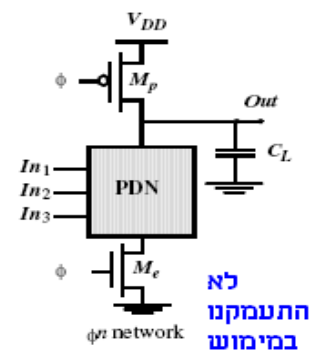
ולזמני טעינה שלהם ע"י NMOS מינימלי: לכן במקום לסחוב קבועים, עבור כל שינוי ניתן יהיה להכפיל אותם בקבוע מתאים.

שיקול עיקרי: שיפור מהירות

העיקרון: במעגלים סטטיים יש טעינה ופריקה של המוצא, מעגלים דינאמיים מסתמכים על אגירה זמנית של מטענים בקיבול המוצא. **מימוש:** ע"י טרנזיסטור P בודד ו-(n+1) טרנזיסטורי N.

שני שלבים:

1. טעינת קדם PRECHARGE – כשהשעון למטה PMOS מוליך והמוצא נטען.
2. פריקה מותנית EVALUATION – כשהשעון למעלה בלוק NMOS מוליך (בהתאם לפונקציה הלוגית) והמוצא מתפרק. **למה מימוש דינמי מהיר יותר?**



לא התעמקנו במימוש הזה

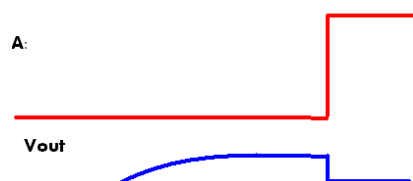
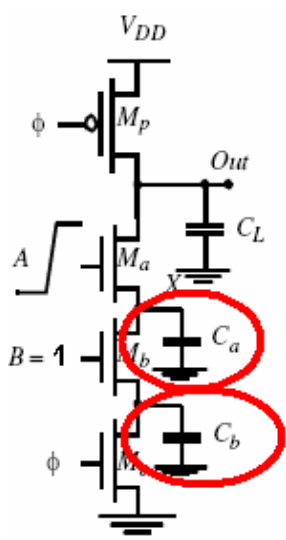
עבור פונקציות מורכבות יותר ממהפך, **חסכנו בזמן הטעינה** (PMOS בודד) אמנם הוספנו NMOS (טרנזיסטור השעון) אבל כדי לכסות על זמן הפריקה הנוסף ניתן להגדיל את NMOS-ים במסלול, לכן אמנם יש לנו פחות טרנזיסטורים (n+2) אבל לגמרי לא בטוח שנהרויה בשטח.

בעיה מספר 1: בזבוז הספק

עבור כניסות שהן כולן '1' – במעגל CMOS תהיה פריקה ראשונה וזהו. במעגל דינמי יהיו **כל הזמן מיתוגים מיותרים** ז"א גורם הACTIVITY FACTOR גדול יותר במעגלים דינמיים – כלומר, **שילמנו בהספק**.

בעיה מספר 2: רעש חלוקת מטען

הבעיה לא קיימת בכל שער ובשער שהיא מופיעה, היא לא תמיד מתקיימת. בשלב הEVAL, לפני שינוי הכניסה הקרובה למוצא (A) המוצא ב-VDD. כשיש שינוי בA בזמן EVALUATE, הטרנזיסטור של A נפתח להולכה והמוצא זולג וטוען את הדיפוזיה של A ושל B.



$$\Delta V_{out} = \frac{C_{d,A} + C_{d,B}}{C_{d,A} + C_{d,B} + C_{out}} V_{DD}$$

שיפורים \ פתרונות לבעיה:

1. הגדלת COUT (יארץ את זמן הפריקה)
2. הקטנת Cd – הקיבולים הפרזיטיים בבלוק הN
3. **טרנזיסטורי SPD (Secondary precharge devices)** טרנזיסטורי PMOS שמחוברים לשעון וטוענים את הצמתים הפנימיים (חוץ מצומת השעון) שממילא לא משתמשת בחלוקת המטען).

בעיה מספר 3: זליגת מטען הקבל לדיפוזיות הפנימיות

כתוצאה מזרם זליגה של הדיפוזיות שמתפקדות כדיודות בממתח אחורי שלב PRECHARGE קבל המוצא נפרק לאט לאט והמתח במוצא יורד.

$$\Delta V_{out} = \frac{I_{off} \cdot t}{C}$$

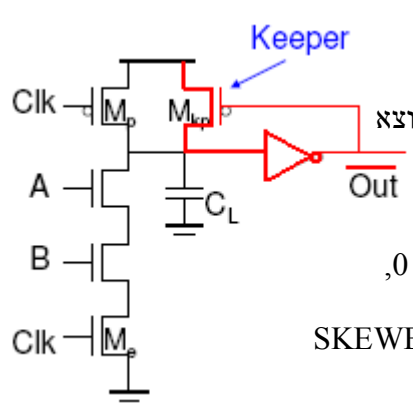
זרם הזליגה I_{off} הוא בד"כ פרמטר של הטרנזיסטור

שיפור \ פתרון לבעיה: KEEPER טרנזיסטור PMOS עם מהפך ששומר על ה'1' במוצא עלינו לעשות אותו חלש כדי שלא יתנגד יותר מדי לפריקה המותנית בשלב הEVALUATE.

כלל אצבע: על טרנזיסטור PMOS להיות חלש פי 4 ממסלול הפריקה הקריטי

למה המהפך? אנחנו רוצים שהKEEPER לא יטען את המוצא כאשר הוא אמור להיות 0, לכן כשהמוצא נמוך המהפך קוטע את הKEEPER והוא לא טוען את המוצא.

המהפך צריך להיות מינימלי – שני הטרנזיסטורים מינימליים, לכן הוא יהיה SKewed LOW (פגיעה בחסינות לרעש)



נכתב ע"י עדי פוקס

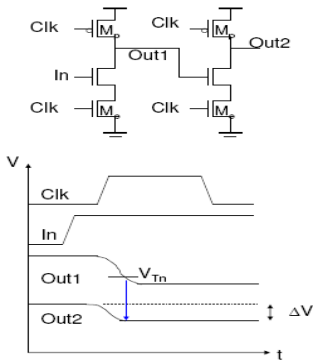
בעיה מספר 4:

בעיית שרשרור מעגלים דינמיים – בשלב טעינת הקדם אפשר לשנות כניסות (הן לא חשובות), אבל - בשלב EVALUATE אסור לשנות כניסה מ-1 ל-0!

הכניסה יורדת ל'0' בשלב ה-EVALUATE – זה לא קורה בזמן אפסי לכן בחלק מהזמן הטרנזיסטור מוליך ואז-המוצא נפרק ואין מי שיטען אותו!
תוצאה: הערך במוצא ירד למרות שהוא אמור להיות 1 – יתכן שהערך לא חוקי.

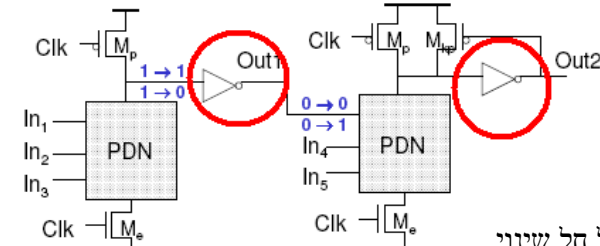
לכן בשלב EVALUATE לא ניתן לשנות כניסות מ-1 ל-0!

מצד שני שינוי כניסות מ-0 ל-1 מותר אבל התוצאה מושהית.



שיפור\ פתרון לבעיה: לוגיקת דומינו

דרגה הופכת בין שני שערים דינמיים ואז המוצא יהיה נכון אבל מושהה מדרגה לדרגה, כל דרגה מבצעת פריקה רק אחרי שדרגה לפניו ביצעה פריקה. כלומר, כל דרגה מפעילה את הדרגה הבאה אחריה והמוצאים מתייצבים אחד אחרי השני כמו אבני דומינו.



נשים לב כי כעת המגבלה על זמן ה-**PRECHARGE** לא השתנתה אבל חל שינוי במגבלת זמן ה-**EVALUATE** – הזמן בו השעון גבוה צריך להיות מספיק גדול כדי להכיל את הפריקות של כל המסלולים וזמני ההשהייה של המהפכים הסטטים כלומר: $T_{\phi=1} > t_{eval,1} + t_{inv,1} + t_{eval,2} + t_{inv,2} + \dots$

שיקול תכנון המהמפך: בדרגה הדינמית רוצים להאיץ את הפריקה ובמהפך חשובה הטעינה,

לכן נממש את המהפך כ-SKEWED HIGH. כלל אצבע: המהפך צריך לעמוד ביחס של בערך $4 \leq P/N \leq 6$.

כעת ניתן גם להשתמש במהפך המוצא בתור מהפך ה-KEEPER

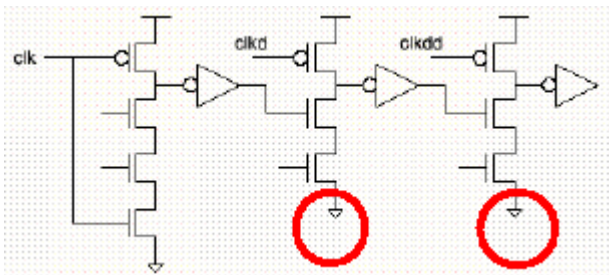
שיפור האצת המסלולים (וחסכון בטרנזיסטורים) ע"י ביטול

טרנזיסטורי NMOS של השעון

נשים לב כי תפקיד טרנזיסטור ה-NMOS של השעון הוא בשביל לחסום מסלול פריקה בזמן PRECHARGE, לכן הוא נחוץ רק בדרגה הראשונה כי לשאר הדרגות המהפכים דואגים שבשלב ה-**PRECHARGE** יהיו כניסות ב-0 ולכן ניתן לבטל את טרנזיסטורי ה-NMOS של השעון בדרגות הבאות.

הבעיה: בגלל שהכניסה לא יורדת מיידית ל-0, בתחילת טעינת

הקדם יהיה עדיין מסלול פריקה. משמעות: האטת מסלול הטעינה ובזבוז הספק.

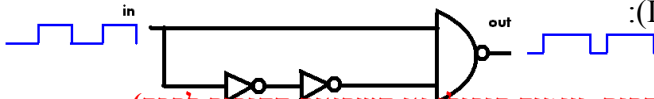


בעיה מספר 5: בזבוז הספק II (במעגלי הדומינו)

נשים לב כי לאחר שהורדנו את השעונים, ככל שהדרגה מאוחרת יותר ההשהיות יצטברו והזמן שיהיה מסלול הפריקה עם מסלול טעינת הקדם יתארך וזה בזבוז הספק.

פתרון: לקצר את זמן ה-PRE CHARGE** מדרגה לדרגה, ע"י השמה של שעונים מקוצרים מדרגה לדרגה.**

ניתן לעשות זאת מלאכותית ע"י **CHOPPER** (לשנות DUTY CYCLE):



בעיה מספר 6: רעש אדמה וספקים (בגלל צריכות זרמים של בלוקים אחרים, צימוד קיבולי או השראות החיבור לספק)

בגלל שקו המתכת של האדמה מגיע ממקומות שונים במעגל ומחוברים אליו בלוקים שונים ייתכן ונקבל $V_{GS} \neq 0$ בטרנזיסטור שאמור להיות קטוע ויזרום זרם (בזבוז הספק ויגרום להקטנת שולי רעש)

פתרון לרעש אדמה: חיבור שתי אדמות עם קו מתכת רחב עם התנגדות נמוכה כדי לאלץ אותו מתח

פתרון לצימוד קיבולי: 1. הרחקת קווים (תשלום בשטח)

2. סיכוך – הרחקת הקו שמשנתנה והוספת קו שכן צמוד שלא משנתנה שימסך על הקו "קורבן" (תשלום בשטח)

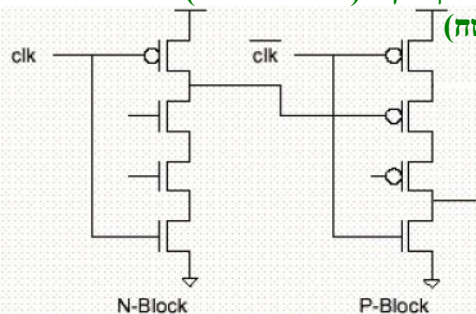
3. הצלבה – החלפת נתיב ההולכה של הקו - עלייה למתכת והצלבת קווים (תשלום בשטח)

האצת מעגלי דומינו: לוגיקת ZIPPER

החלפת הדרגה הסטטית האיטית בבלוק דומינו מסוג P-הבלוק איטי יותר מבלוק N אבל מהיר יותר מבלוק סטטי (קיבול כניסה קטן יותר משל NMOS) במקרה זה הכל יהיה הפוך. המוצא יתפרק כהשעון יעלה (DISCHARGE) ויטען בשלב טעינה מותנית. אותן בעיות נוצרות כמו במקרה ה-NMOS

זליגה שתיפתר ע"י טרנזיסטור KEEPER מסוג NMOS שידחף

ע"י מהפך (SKEWED LOW הפעם..)



אופטימיזציה זמנים:

מטעמי נוחות, נהוג להגדיר גדלים בסיסיים לקיבולים: $C_g = C_{ox} W_{min} L_{min}, C_d = C_{jd} W_{min} X_{min}$

ולזמני טעינה שלהם ע"י NMOS מינימלי: $\tau_g = \frac{C_g}{k_n' \frac{W_{min}}{L_{min}} (V_{DD} - V_T)}, \tau_d = \frac{C_d}{k_n' \frac{W_{min}}{L_{min}} (V_{DD} - V_T)}$

לכן במקום לסחוב קבועים, עבור כל שינוי ניתן יהיה להכפיל אותם בקבוע מתאים.
תכנון ראשוני: קביעת טרנזיסטורים מינימליים (גם של מהפך המוצא) – בד"כ טרנזיסטור PMOS הוא יחיד והוא חזק יותר ממסלול ה-NMOSים בטור או אין סיבה להגדילו.

ואז: $t_r = b(\alpha\tau_g + \beta\tau_d), t_f = N(\alpha\tau_g + \beta\tau_d)$ כשהמכפלה b היא בגלל היחס בין חוזק ה-PMOS ל-NMOS ו- N עבור מספר טרנזיסטורי ה-NMOS בטור.

שיפורים נפוצים:

- הגדלת ה-NMOSים במסלול הפריקה לשיפור זמנים.
- הוספת KEEPER עפ"י כלל 1/4 מחוזק מסלול הפריקה הקריטי שיוצא מהמהפך (שיפור חסינות לרעשים וזליגות מצד שני - מוסיף עומס על צומת המוצא, בגלל קיבול כניסה והעמסת הדרגה הדינאמית, בגלל הדיפוזיה)
- תכנון מהפך המוצא ל-SKEWED HIGH – לפי (כלל אצבע) יחס של PN של בין 4 ל-6 (מצד אחד מקצר את זמן הטעינה, מצד שני – פוגע בחסינות לרעש)
- שימוש ב-CHOPPER עבור כל דרגה, כדי שזמן המחזור ינוצל במלואו ולא נידרש לקבוע את המחזור לפי הזמן האיטי יותר (חסרון: OVERHEAD תכנוני)
- הסרת כל טרנזיסטורי ה-NMOS של השעון מהדרגה השנייה והלאה: כדי להאיץ את מסלול הפריקה, מצד שני הטעינה הופכת להיות טורית, פתרון לכך: לגרום גם לטעינה להיות בטור ע"י שרשרת מהפכים – כך שלמעשה ניצור הזזה מלאה של השעון עבור כל דרגה.

תכנון דרגה סטטית (מהפכת) לפי דרישות על שולי רעש:

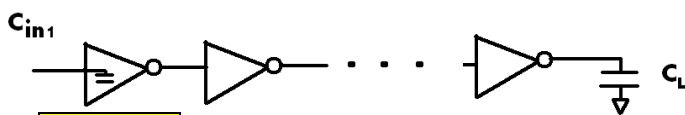
במעגל דומינו סטנדרטי המסלול הקריטי הוא מסלול פריקה לכן נידרש לתכנן דרגה סטטית SKEWED HIGH ולכן מרווח הרעש

הבעייתי יהיה NMH לדוגמא אם נדרש: $NMH < 0.3V_{DD}$ אזי $V_{IH} > 0.7V_{DD}$ ועבורו מתקיים: $\frac{\partial V_{out}}{\partial V_{in}}$

צריכים להשוות זרמים במצב זה (לפי מי שנמצא במצב רוויה ומי שבמצב לינארי), לקבל את V_{IN} ולשנות את היחס: $\frac{k_p}{k_n}$

חוצצים ו-SIZING: טעינת דרגה בעלת קיבול גדול יחסית-

דרך א' - שרשרת מהפכים (חוצצים):



ע"מ לקצר זמני טעינה מקיבול קטן לקיבול גדול בד"כ מממשים שרשרת מהפכים, האופטימיזציה היא שהיחס בין הקיבולים שבין כל דרגה לדרגה יהיה זהה, מספר השערים האופטימלי הוא:

$$N = \ln \left(\frac{C_L}{C_{in1}} \right)$$

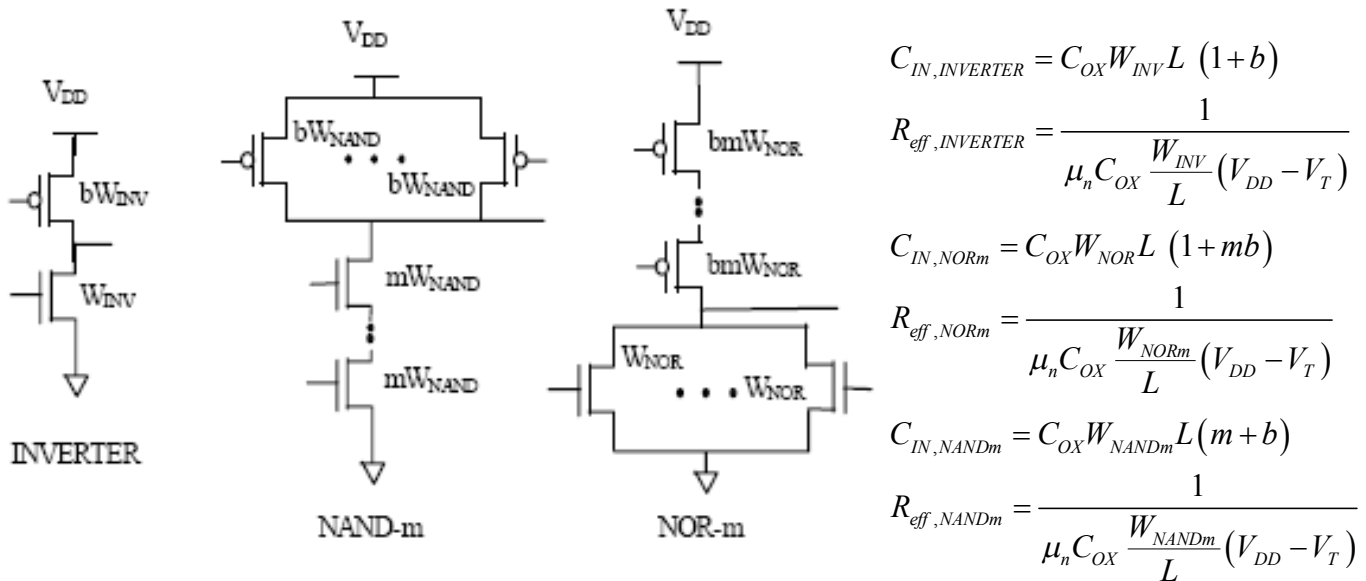
$$A = \sqrt[N]{\frac{C_L}{C_{in1}}}$$

(לשים לב שצריכים להגיע ל- N זוגי!! בד"כ מעגלים למעלה) פקטור הגידול בין הדרגות הוא

$$T = R_1 C_1 \cdot N \cdot \sqrt[N]{\frac{C_L}{C_{in1}}}$$

והתלות של זמן ההשהייה כולה מתוארת ע"י:

דרך ב' – SIZING של המסלול הלוגי (השאיפה: לחלק את הגידול W/L בין דרגות הלוגיקה שלפני הקבל)
 בדומה לשרשרת מהפכים, גם כאן ההשתייה של כל דרגה במסלול האופטימלי זהה אך בגלל השוני בין סוגי השערים אין פקטור הגדלה זהה. עבור מסלול CMOS סימטרי כללי ניתן לראות כי:



ובאופן כללי לכולם מתקיים: $R_{eff} C_{IN} = \frac{L^2}{\mu_n (V_{DD} - V_T)} a$ כש-a הוא קבוע אופייני לפי סוג המעגל:

	INVERTER	NOR	NAND
a	1+b	1+bm	m+b

ולכן אם נבחן את מסלול של שרשרת N שערים עבור השתייה כללית מהצורה: $\tau_{gate} = \alpha RC + \beta$ היינו מקבלים:

$$T = \sum \tau = N\beta + \frac{\alpha L^2}{\mu_n (V_{DD} - V_T)} \left(\frac{C_1}{C_0} a_0 + \frac{C_2}{C_1} a_1 + \dots + \frac{C_L}{C_{n-1}} a_{n-1} \right)$$

$$C_1^2 = \frac{C_2 a_1}{C_0 a_0}, C_2^2 = \frac{C_3 a_2}{C_1 a_1}, \dots, C_{n-1}^2 = \frac{C_L a_{n-1}}{C_{n-2} a_{n-2}}$$

ואם נגזור לפי כל הקיבולים ונשווה לאפס נקבל:

מערכות סינכרוניות – רכיבי FF עם לוגיקות סטטיות

= מערכות מתוזמנות ע"י שעון.

אוסף של לוגיקות מחוברת לרכיבי זכרון

וכל המערכת מתוזמנת ע"י שעון (כמו בדוגמא)

תנאי מקסימום השתייה (עם CLOCK SKEW):

ערך שחושב בזמן המחזור נדגם מוקדם מדי ולא נשמר בFF (זמן מחזור מהיר מדי) נשים לב שפה SKEW "עוזר"

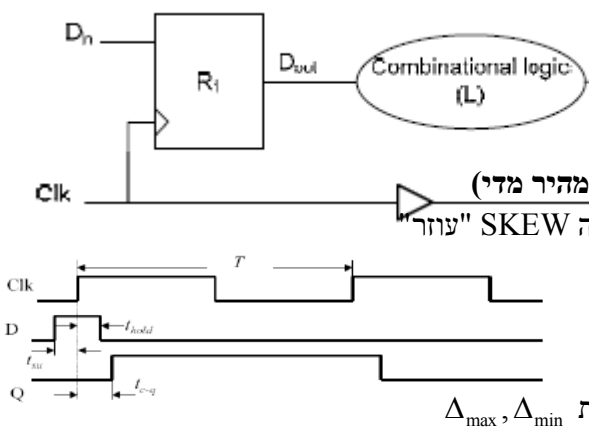
$$T_{clk \rightarrow out, R1(max)} + T_{CL(max)} + T_{setup, R2(max)} \leq T_{period, min} + \Delta_{min}$$

תנאי מינימום השתייה: היציאה מחושבת ומשתנה עוד לפני שנדגמת

תוצאת המחזור הקודם

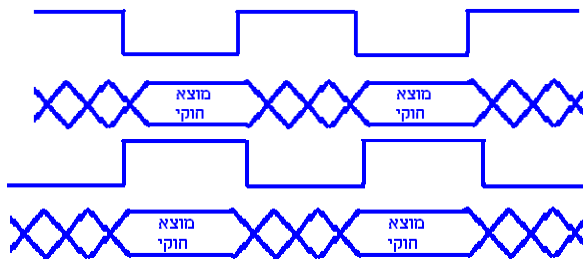
$$T_{clk \rightarrow out, R1(min)} + T_{CL(min)} \geq T_{hold, R2(max)} + \Delta_{max}$$

בשאלות כאלה בד"כ כל הזמנים של הרכיבים נתונים ועלינו לחשב בסה"כ את $\Delta_{max}, \Delta_{min}$



מערכות סינכרוניות – רכיבי LATCH עם לוגיקות דינמיות

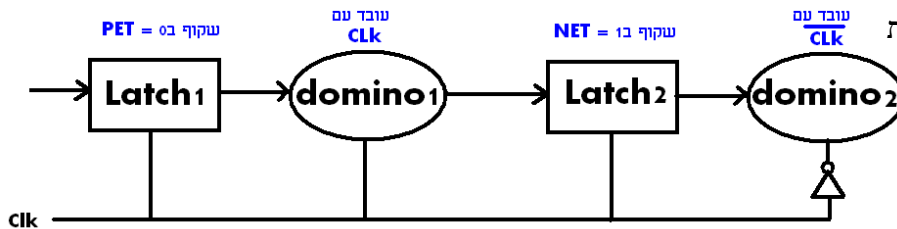
LATCH = רכיב שמתעלם מהכניסות בחצי מחזור שעון ו"נועל" את היציאה בחצי מחזור השעון השני. סוגי LATCH :
NET (Negative Edge Triggered) = שקוף בגבוה



רכיב שמתעלם מהכניסות כשהשעון ב'1' ונועל את המוצא כשהשעון ב'0'

PET (Positive Edge Triggered) = שקוף בנמוך

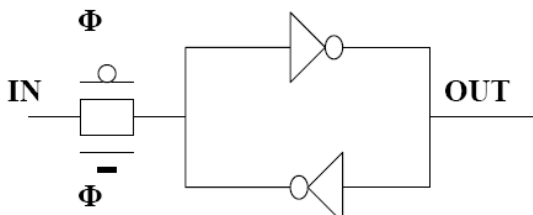
רכיב שמתעלם מהכניסות כשהשעון ב'0' ונועל את המוצא כשהשעון ב'1'



נשים לב כי כדי להאיץ אוסף של לוגיקות מחוברת לרכיבי זכרון ניתן להמיר את הלוגיקות מלוגיקות סטטיות ללוגיקות דומינו ואת רכיבי ה-FF ניתן להחליף ברכיבי LATCH שאחד שקוף בעליה ואחד שקוף בירידה ובכך לנצל את שני שלבי מחזור השעון. שיקולים:

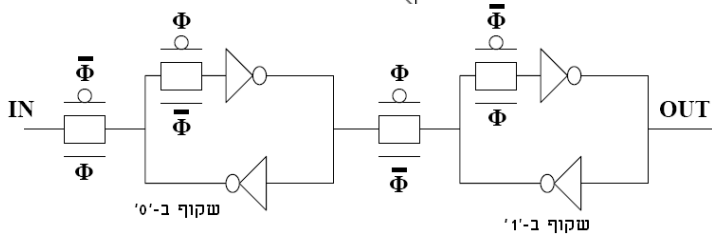
LATCH1 חייב להיות שקוף ב-0, כי אז מתרחש שלב PRECHARGE ב-DOMINO1 והוא מתעלם מהכניסות ממילא בנוסף, בנוסף הנעילה ב-1 חיונית כדי למנוע שינוי של הכניסות למעגל DOMINO בשלב EVALUATE. מאותם שיקולים, מאחר ש-DOMINO2 עובד בשעון הפוך - **LATCH2 חייב להיות שקוף ב-1** ומאחר והוא בין 2 מעגלי דומינו, תכונה זו תרגום לו להעביר את מוצא DOMINO1 ישירות ל-DOMINO2.

תכנון רכיב LATCH נועל ב-1: מאחר והיינו מניחים באופן נאיבי כי מדובר בסה"כ בקבל ושער תמסורת, קיימות מספר בעיות: כש-LATCH סגור שערי התמסורת מנותקים, לכן הקו צף. לכן מכניסים מהפך ומהפך KEEPER חלש ביחס לזה שדוחף.



בעיה נוספת: אם אותו שער מחובר לכמה רכיבי LATCH במקביל, הדחיפה של המהפך חלשה יותר ומהפך ה-KEEPER שהוספנו נהיה משמעותי ומונע מהמוצא להשתנות. הפתרון הוא בהוספת שער תמסורת נוסף: **SUSTAINER** שינתק את ה-KEEPER במצב הדחיפה.

עוד רכיבי זכרון: PET FF (נועל בעלייה, שקוף ב-0')



בפאזה הראשונה ה-LATCH השמאלי נועל והימני מוליך. בפאזה השנייה ה-LATCH הימני נועל והשמאלי מוליך. **את המידע יש להכין TSETUP לפני השעון כדי ששער התמסורת, שיש לו התנגדות כלשהי, יספיק להיטען.** בנוסף יש להחזק את השעון THOLD אחרי עליית השעון כי **שער התמסורת לא מתנתק ב-0 זמן, גם בהנחה שהשעון כן משתנה.**

תכנון שעון

איך מגיעים עם השעון לכל מקום באותו זמן? 0 קיבול 0 התנגדות (לא ריאלי) ניתן לעשות פלטת מתכת גדולה – התנגדות נמוכה ביותר אבל קיבול גדול. פתרון: עץ שעונים, לכל אחד יהיה אותו הפרש מהשעון המקורי כי כולם יעברו אותו מסלול.

