

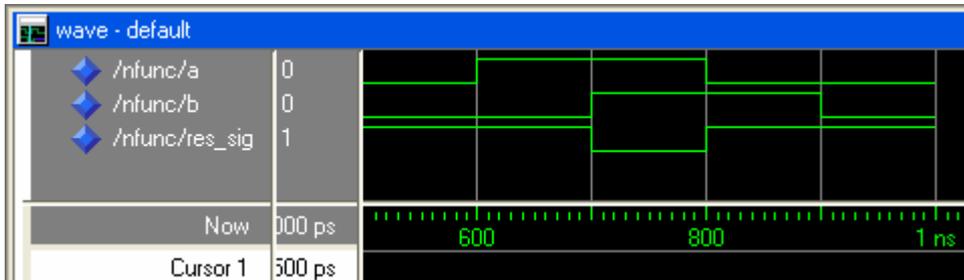
044262 - תכן לוגי

סימולציה 1

תאריך הגשה: 9.5.06

חלק 2: מודל התנהגותי

הקטע ששונה בקוד הוא: $Res_sig \leq \text{not}(A) \text{ OR } \text{not}(b);$. ודיאגרמת הגלים הינה:



חלק 3: test-benches וסימולציה

א. testbench פשוט לבדיקת הרכיב nFUNC:

קטע הקוד: $A \leq '0'$ after 0 ns, '1' after 20 ns;
 $B \leq '0'$ after 0 ns, '1' after 20 ns, '0' after 40 ns;

שונה ל- $A \leq '0'$ after 0 ns, '1' after 20 ns, '0' after 60 ns;
 $B \leq '0'$ after 0 ns, '1' after 20 ns, '0' after 40 ns, '1' after 60 ns;

כדי להתאים לטבלה:

Time (ns)	0	20	40	60
B	0	1	0	1
A	0	1	1	0

קטע הקוד: $generator: nfunc_stim \text{ port map } (A, B, Res_sig);$
 $circuit: nfunc \text{ port map } (Res_sig, A, B);$

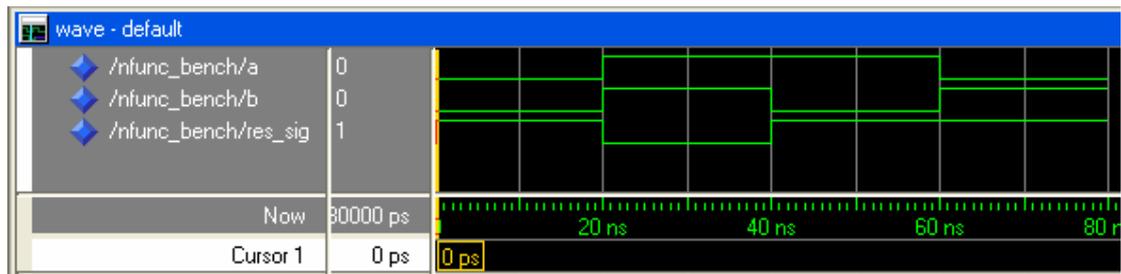
שונה ל- $generator: nfunc_stim \text{ port map } (A, B, Res_sig);$, כדי לקשר נכונה בין
 $circuit: nfunc \text{ port map } (A, B, Res_sig);$
 $.nfunc_stim$ ל- $nfunc$

וכן פתר את בעיית הקומפילציה הצפויה שלהלן:

*** Error: C:/Documents and Settings/user/Desktop/Roee/semes 4/logic design/Sim 1/IDLAB2.VHD(44): Nonresolved signal 'b' has multiple sources.

*** Error: C:/Documents and Settings/user/Desktop/Roee/semes 4/logic design/Sim 1/IDLAB2.VHD(49): VHDL Compiler exiting

דיאגראמת הגלים של הרכיב הינה :



ב. Tesetbench המבצע בדיקה אוטומטית של מוצא הרכיב:

השינויים שבוצעו הינם במערך ההשוואה:
מ-

```
CONSTANT test_pattern : test_array := (  
    ('0', '0', '1'),  
    ('0', '1', '0'),  
    ('1', '1', '1'),  
    ('1', '0', '1'));
```

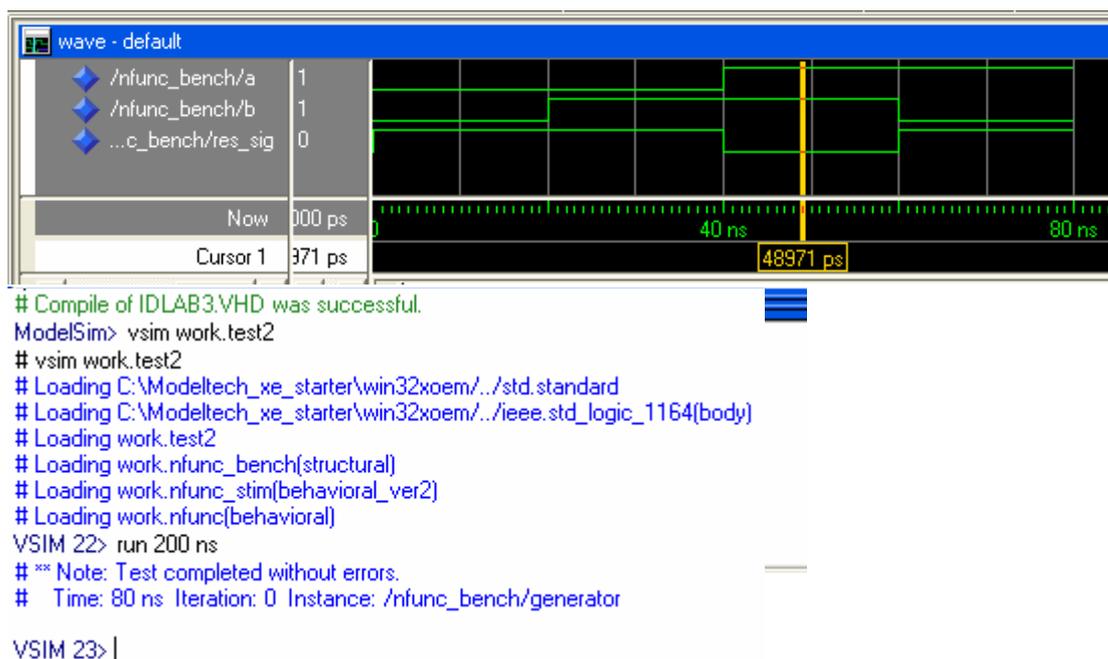
```
CONSTANT test_pattern : test_array := (  
    ('0', '0', '1'),  
    ('0', '1', '1'),  
    ('1', '1', '0'),  
    ('1', '0', '1'));
```

ל-

פלט הסימולציה לפני התיקון הינו :

```
# Compile of IDLAB3.VHD was successful.  
ModelSim> vsim work.test2  
# vsim work.test2  
# Loading C:\Modeltech_xe_starter\win32xoem\..\std.standard  
# Loading C:\Modeltech_xe_starter\win32xoem\..\ieee.std_logic_1164(body)  
# Loading work.test2  
# Loading work.nfunc_bench(structural)  
# Loading work.nfunc_stim(behavioral_ver2)  
# Loading work.nfunc(behavioral)  
VSIM 19> run 200 ns  
# ** Error: Res_sig is 1. Expected 0  
# Time: 30 ns Iteration: 0 Instance: /nfunc_bench/generator  
# ** Error: Res_sig is 0. Expected 1  
# Time: 50 ns Iteration: 0 Instance: /nfunc_bench/generator  
# ** Note: There were ERRORS in the test.  
# Time: 80 ns Iteration: 0 Instance: /nfunc_bench/generator  
  
VSIM 20>
```

פלט הסימולציה ודיאגרמת הגלים לאחר התיקון הינו :



חלק 4: מודל מבני של מעגלים בשפת VHDL

א. השינויים שנעשו הינם :

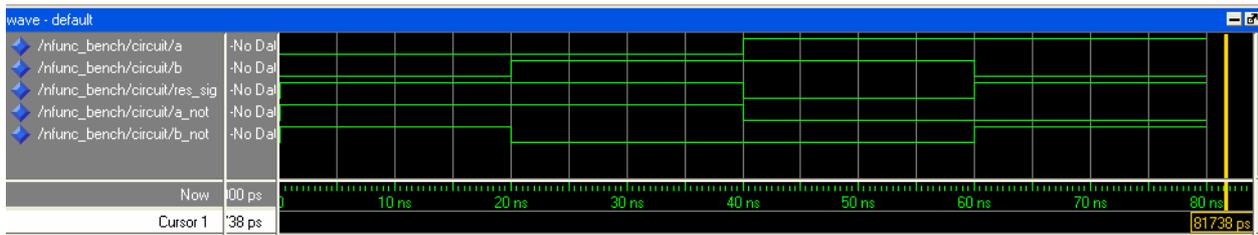
```
68 BEGIN
69     u0: not_gate PORT MAP ( A, A_not );
70     u1: not_gate PORT MAP ( B, B_not );
71     u2: or_gate  PORT MAP (A_not, B_not, res_sig );
72 END structure;
73
```

כדי לחבר בין הרכיבים.

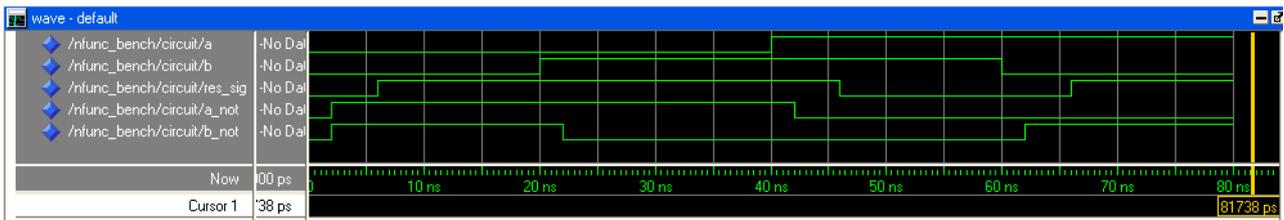
```
99 CONFIGURATION nfunc_con_delayed OF nfunc_bench IS
100 FOR structural
101     FOR generator: nfunc_stim USE ENTITY work.nfunc_stim(behavioral_ver2);
102 END FOR;
103
104     FOR circuit:nfunc USE ENTITY work.nfunc(structure);
105         FOR structure
106             FOR u0,u1 : not_gate USE ENTITY work.not_gate(behavioral_delayed);
107             END FOR;
108             FOR u2 : or_gate USE ENTITY work.or_gate(behavioral_delayed);
109             END FOR;
110         END FOR;
111     END FOR;
112 END FOR;
113 END FOR;
114 END nfunc_con_delayed;
115
```

בחירת אופן התנהגותי בעל השתייה.

דיאגראמת הגלים עבור שערים לא השהייה:



דיאגראמת הגלים עבור שערים עם השהייה:



ב. ניתן לראות שבגרף השני באמת קיימות השהיות כצפוי.

חלק 5: שאלת חשיבה

היחידה הלוגית עם עליית שעון דוגמת את המשתנה a ומבצעת עליו $(a+1) \bmod 4$ בנוסף לכך היא מוציאה את a בייצוג בינארית באמצעות q_1 ו- q_0 כאשר $(q_0 - LSB)$.